

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

J1017 U.S. PTO  
09/938614  
08/27/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されて  
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed  
with this Office

出 願 年 月 日

Date of Application:

2001年 2月23日

出 願 番 号

Application Number:

特願2001-048472

出 願 人

Applicant(s):

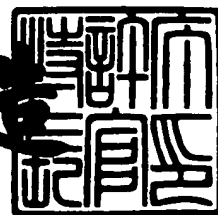
株式会社日立製作所

CERTIFIED COPY OF  
PRIORITY DOCUMENT

2001年 8月 3日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3069357

43

Docket No.: A8319.0004/P004  
(PATENT)

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of:  
Hiroshi Kageyama, et al.

Application No.: Not Yet Assigned

Group Art Unit: N/A

Filed: herewith

Examiner: Not Yet Assigned

For: DRIVE CIRCUIT AND IMAGE DISPLAY  
APPARATUS



CLAIM FOR PRIORITY AND SUBMISSION OF DOCUMENTS

Commissioner for Patents  
Washington, DC 20231

Dear Sir:

Applicant hereby claims priority under 35 U.S.C. 119 based on the following  
prior foreign application filed in the following foreign country on the date indicated:

<u>Country</u>	<u>Application No.</u>	<u>Date</u>
Japan	2001-048472	February 23, 2001

In support of this claim, a certified copy of the said original foreign application is  
filed herewith.

Dated: August 27, 2001

Respectfully submitted,

By Mark J. Thronson

Mark J. Thronson

Registration No.: 33,082

DICKSTEIN SHAPIRO MORIN &  
OSHINSKY LLP

2101 L Street NW

Washington, DC 20037-1526

(202) 775-4742

Attorneys for Applicant

【書類名】 特許願

【整理番号】 PE28024

【提出日】 平成13年 2月23日

【あて先】 特許庁長官 殿

【国際特許分類】 G02F 1/133

【発明者】

【住所又は居所】 茨城県日立市大みか町七丁目1番1号  
株式会社日立製作所 日立研究所内

【氏名】 景山 寛

【発明者】

【住所又は居所】 茨城県日立市大みか町七丁目1番1号  
株式会社日立製作所 日立研究所内

【氏名】 三上 佳朗

【発明者】

【住所又は居所】 茨城県日立市大みか町七丁目1番1号  
株式会社日立製作所 日立研究所内

【氏名】 秋元 肇

【特許出願人】

【識別番号】 000005108

【氏名又は名称】 株式会社日立製作所

【代理人】

【識別番号】 100098017

【弁理士】

【氏名又は名称】 吉岡 宏嗣

【手数料の表示】

【予納台帳番号】 055181

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1  
【物件名】 要約書 1  
【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 駆動回路および画像表示装置

【特許請求の範囲】

【請求項 1】 電圧の相異なる複数の基準電圧のうちいずれかの基準電圧をデジタルの階調信号に従って選択するとともに、選択された基準電圧と第 1 の出力端子または第 2 の出力端子とを結ぶ複数の回路中に前記階調信号に応じた抵抗値を示す抵抗体を挿入する複数のデジタル・アナログ変換回路と、前記第 1 の出力端子と複数の信号線とを前記階調信号に同期した信号線選択信号に応答して順次接続するとともに前記第 2 の出力端子と前記複数の信号線とを前記信号線選択信号に応答して順次接続するサンプリング回路とを備え、前記サンプリング回路の信号線選択動作により、前記一方のデジタル・アナログ変換回路により選択された基準電圧と前記他方のデジタル・アナログ変換回路により選択された基準電圧のうちいずれか一方または双方の基準電圧を前記いずれかの回路中に挿入された抵抗体を介して前記各信号線に出力してなる駆動回路。

【請求項 2】 電圧の相異なる複数の基準電圧と第 1 の出力端子または第 2 の出力端子とを結ぶ複数の回路中に導通時の抵抗値が相異なる複数のスイッチング素子がそれぞれ挿入され、デジタルの階調信号に従って指定のスイッチング素子が導通する複数のデジタル・アナログ変換回路と、前記第 1 の出力端子と複数の信号線との間に挿入された第 1 のサンプリング用スイッチング素子群および前記第 2 の出力端子と前記複数の信号線との間に挿入された第 2 のサンプリング用スイッチング素子群を有するサンプリング回路とを備え、前記各第 1 のサンプリング用スイッチング素子と前記各第 2 のサンプリング用スイッチング素子は前記階調信号に同期した信号線選択信号に応答して順次導通し、各サンプリング用スイッチング素子の導通により、前記一方のデジタル・アナログ変換回路に属する指定のスイッチング素子に接続された基準電圧と前記他方のデジタル・アナログ変換回路に属する指定のスイッチング素子に接続された基準電圧のうちいずれか一方または双方の基準電圧を導通状態にある指定のスイッチング素子を介して前記各信号線に出力してなる駆動回路。

【請求項 3】 電圧の相異なる複数の基準電圧のうちいずれかの基準電圧をデ

デジタルの階調信号に従って選択する複数のデジタル・アナログ変換回路と、前記各デジタル・アナログ変換回路で選択された基準電圧と第 1 の出力端子または第 2 の出力端子とを結ぶ複数の回路中に前記階調信号に応じた抵抗値を示す抵抗体を挿入する複数の可変抵抗回路と、前記第 1 の出力端子と複数の信号線とを前記階調信号に同期した信号線選択信号に応答して順次接続するとともに前記第 2 の出力端子と前記複数の信号線とを前記信号線選択信号に応答して順次接続するサンプリング回路とを備え、前記サンプリング回路の信号線選択動作により、前記一方のデジタル・アナログ変換回路により選択された基準電圧と前記他方のデジタル・アナログ変換回路により選択された基準電圧のうちいずれか一方または双方の基準電圧を前記いずれかの回路中に挿入された抵抗体を介して前記各信号線に出力してなる駆動回路。

【請求項 4】 アナログ電圧をデジタルの階調信号に従って電圧の相異なる基準電圧に変換して出力する複数のデジタル・アナログ変換回路のうち前記一方のデジタル・アナログ変換回路と第 1 の出力端子とを結ぶ複数の回路中および前記他方のデジタル・アナログ変換回路と第 2 の出力端子とを結ぶ複数の回路中にそれぞれ前記階調信号に応じた抵抗値を示す抵抗体を挿入する複数の可変抵抗回路と、前記第 1 の出力端子と複数の信号線との間に挿入された第 1 のサンプリング用スイッチング素子群および前記第 2 の出力端子と前記複数の信号線との間に挿入された第 2 のサンプリング用スイッチング素子群を有するサンプリング回路とを備え、前記各第 1 のサンプリング用スイッチング素子と前記各第 2 のサンプリング用スイッチング素子は前記階調信号に同期した信号線選択信号に応答して順次導通して各信号線を選択し、前記サンプリング回路の信号線選択動作により、前記一方のデジタル・アナログ変換回路から出力された基準電圧と前記他方のデジタル・アナログ変換回路から出力された選択された基準電圧のうちいずれか一方または双方の基準電圧を前記いずれかの回路中に挿入された抵抗体を介して前記各信号線に出力してなる駆動回路。

【請求項 5】 請求項 3 または 4 に記載の駆動回路において、前記複数の可変抵抗回路は、前記階調信号に応じた抵抗値を示す抵抗体として前記階調信号に従って導通するスイッチング素子を挿入してなることを特徴と駆動回路。

【請求項 6】 請求項 3 または 4 に記載の駆動回路において、前記複数の可変抵抗回路は、前記階調信号に応じた抵抗値を示す抵抗体として前記階調信号に従って導通するスイッチング素子と抵抗素子とを直列にして挿入してなることを特徴とする駆動回路。

【請求項 7】 電圧の相異なる複数の正側基準電圧のうちいずれかの正側基準電圧をデジタルの階調信号に従って選択するとともに、選択された正側基準電圧と第 1 の正側出力の端子または第 2 の正側出力端子とを結ぶ複数の回路中に前記階調信号に応じた抵抗値を示す抵抗体を挿入する複数の正側デジタル・アナログ変換回路と、

電圧の相異なる複数の負側基準電圧のうちいずれかの負側基準電圧をデジタルの階調信号に従って選択するとともに、選択された負側基準電圧と第 1 の負側出力端子または第 2 の負側出力端子とを結ぶ複数の回路中に前記階調信号に応じた抵抗値を示す抵抗体を挿入する複数の負側デジタル・アナログ変換回路と、

前記第 1 の正側出力端子と複数の信号線とを前記階調信号に同期した正側信号線選択信号に応答して順次接続するとともに前記第 2 の正側出力端子と前記複数の信号線とを前記階調信号に同期した前記正側信号線選択信号に応答して順次接続する正側サンプリング回路と、

前記第 1 の負側出力端子と複数の信号線とを前記階調信号に同期した負側信号線選択信号に応答して順次接続するとともに前記第 2 の負側出力端子と前記複数の信号線とを前記負側信号線選択信号に応答して順次接続する負側サンプリング回路とを備え、

前記正側サンプリング回路の信号線選択動作により、前記一方の正側デジタル・アナログ変換回路により選択された正側基準電圧と前記他方の正側デジタル・アナログ変換回路により選択された正側基準電圧のうちいずれか一方または双方の正側基準電圧を前記いずれかの回路中に挿入された抵抗体を介して前記各信号線に出力し、

前記負側サンプリング回路の信号線選択動作により、前記一方の負側デジタル・アナログ変換回路により選択された負側基準電圧と前記他方の負側デジタル・アナログ変換回路により選択された負側基準電圧のうちいずれか一方または双方の

負側基準電圧を前記いずれかの回路中に挿入された抵抗体を介して前記各信号線に出力してなる駆動回路。

【請求項 8】 電圧の相異なる複数の正側基準電圧と第 1 の正側出力端子または第 2 の正側出力端子とを結ぶ複数の回路中に導通時の抵抗値が相異なる複数のスイッチング素子がそれぞれ挿入され、デジタルの階調信号に従って指定のスイッチング素子が導通する複数の正側デジタル・アナログ変換回路と、

電圧の相異なる複数の負側基準電圧と第 1 の負側出力端子または第 2 の負側出力端子とを結ぶ複数の回路中に導通時の抵抗値が相異なる複数のスイッチング素子がそれぞれ挿入され、デジタルの階調信号に従って指定のスイッチング素子が導通する複数の負側デジタル・アナログ変換回路と、

前記第 1 の正側出力端子と複数の信号線との間に挿入された第 1 の正側サンプリング用スイッチング素子群および前記第 2 の正側出力端子と前記複数の信号線との間に挿入された第 2 の正側サンプリング用スイッチング素子群を有する正側サンプリング回路と、

前記第 1 の負側出力端子と複数の信号線との間に挿入された第 1 の負側サンプリング用スイッチング素子群および前記第 2 の負側出力端子と前記複数の信号線との間に挿入された第 2 の負側サンプリング用スイッチング素子群を有する負側サンプリング回路とを備え、

前記各正側第 1 のサンプリング用スイッチング素子と前記各正側第 2 のサンプリング用スイッチング素子は前記階調信号に同期した信号線選択信号に応答して順次導通し、各正側サンプリング用スイッチング素子の導通により、前記一方の正側デジタル・アナログ変換回路に属する指定のスイッチング素子に接続された正側基準電圧と前記他方の正側デジタル・アナログ変換回路に属する指定のスイッチング素子に接続された正側基準電圧のうちいずれか一方または双方の正側基準電圧を導通状態にある指定のスイッチング素子を介して前記各信号線に出力し、

前記各負側第 1 のサンプリング用スイッチング素子と前記各負側第 2 のサンプリング用スイッチング素子は前記階調信号に同期した信号線選択信号に応答して順次導通し、各負側サンプリング用スイッチング素子の導通により、前記一方の



負側デジタル・アナログ変換回路に属する指定のスイッチング素子に接続された負側基準電圧と前記他方の負側デジタル・アナログ変換回路に属する指定のスイッチング素子に接続された負側基準電圧のうちいずれか一方または双方の負側基準電圧を導通状態にある指定のスイッチング素子を介して前記各信号線に出力してなる駆動回路。

【請求項 9】 電圧の相異なる複数の正側基準電圧のうちいずれかの正側基準電圧をデジタルの階調信号に従って選択する複数の正側デジタル・アナログ変換回路と、

電圧の相異なる複数の負側基準電圧のうちいずれかの負側基準電圧をデジタルの階調信号に従って選択する複数の負側デジタル・アナログ変換回路と、

前記各正側デジタル・アナログ変換回路で選択された正側基準電圧と第 1 の正側出力端子または第 2 の正側出力端子とを結ぶ複数の回路中に前記階調信号に応じた抵抗値を示す抵抗体を挿入する複数の正側可変抵抗回路と、

前記各負側デジタル・アナログ変換回路で選択された負側基準電圧と第 1 の負側出力端子または第 2 の負側出力端子とを結ぶ複数の回路中に前記階調信号に応じた抵抗値を示す抵抗体を挿入する複数の負側可変抵抗回路と、

前記第 1 の正側出力端子と複数の信号線とを前記階調信号に同期した正側信号線選択信号に应答して順次接続するとともに前記第 2 の正側出力端子と前記複数の信号線とを前記正側信号線選択信号に应答して順次接続する正側サンプリング回路と、

前記第 1 の負側出力端子と複数の信号線とを前記階調信号に同期した負側信号線選択信号に应答して順次接続するとともに前記第 2 の負側出力端子と前記複数の信号線とを前記負側信号線選択信号に应答して順次接続する負側サンプリング回路とを備え、

前記正側サンプリング回路の信号線選択動作により、前記一方の正側デジタル・アナログ変換回路により選択された正側基準電圧と前記他方の正側デジタル・アナログ変換回路により選択された正側基準電圧のうちいずれか一方または双方の正側基準電圧を前記いずれかの回路中に挿入された抵抗体を介して前記各信号線に出力し、

前記負側サンプリング回路の信号線選択動作により、前記一方の負側デジタル・アナログ変換回路により選択された負側基準電圧と前記他方の負側デジタル・アナログ変換回路により選択された負側基準電圧のうちいずれか一方または双方の負側基準電圧を前記いずれかの回路中に挿入された抵抗体を介して前記各信号線に出力してなる駆動回路。

【請求項 10】 アナログ電圧をデジタルの階調信号に従って電圧の相異なる正側基準電圧に変換して出力する複数の正側デジタル・アナログ変換回路のうち前記一方の正側デジタル・アナログ変換回路と第 1 の正側出力端子とを結ぶ複数の回路中および前記他方の正側デジタル・アナログ変換回路と第 2 の正側出力端子とを結ぶ回路中にそれぞれ前記階調信号に応じた抵抗値を示す抵抗体を挿入する複数の正側可変抵抗回路と、

アナログ電圧をデジタルの階調信号に従って電圧の相異なる負側基準電圧に変換して出力する複数の負側デジタル・アナログ変換回路のうち前記一方の負側デジタル・アナログ変換回路と第 1 の負側出力端子とを結ぶ複数の回路中および前記他方の負側デジタル・アナログ変換回路と第 2 の負側出力端子とを結ぶ回路中にそれぞれ前記階調信号に応じた抵抗値を示す抵抗体を挿入する複数の負側可変抵抗回路と、

前記第 1 の正側出力端子と複数の信号線との間に挿入された第 1 の正側サンプリング用スイッチング素子群および前記第 2 の正側出力端子と前記複数の信号線との間に挿入された第 2 の正側サンプリング用スイッチング素子群を有する正側サンプリング回路と、

前記第 1 の負側出力端子と複数の信号線との間に挿入された第 1 の負側サンプリング用スイッチング素子群および前記第 2 の負側出力端子と前記複数の信号線との間に挿入された第 2 の負側サンプリング用スイッチング素子群を有する負側サンプリング回路とを備え、

前記各正側第 1 のサンプリング用スイッチング素子と前記各正側第 2 のサンプリング用スイッチング素子は前記階調信号に同期した信号線選択信号に応答して順次導通して各信号線を選択し、前記正側サンプリング回路の信号線選択動作により、前記一方の正側デジタル・アナログ変換回路により選択された正側基準電

圧と前記他方の正側デジタル・アナログ変換回路により選択された正側基準電圧のうちいずれか一方または双方の正側基準電圧を前記いずれかの回路中に挿入された抵抗体を介して前記各信号線に出力し、

前記各負側第 1 のサンプリング用スイッチング素子と前記各負側第 2 のサンプリング用スイッチング素子は前記階調信号に同期した信号線選択信号に応答して順次導通して各信号線を選択し、前記負側サンプリング回路の信号線選択動作により、前記一方の負側デジタル・アナログ変換回路により選択された負側基準電圧と前記他方の負側デジタル・アナログ変換回路により選択された負側基準電圧のうちいずれか一方または双方の負側基準電圧を前記いずれかの回路中に挿入された抵抗体を介して前記各信号線に出力してなる駆動回路。

【請求項 1 1】 請求項 9 または 1 0 に記載の駆動回路において、前記複数の正側可変抵抗回路および前記複数の負側可変抵抗回路は、前記階調信号に応じた抵抗値を示す抵抗体として前記階調信号に従って導通するスイッチング素子を挿入してなることを特徴とする駆動回路。

【請求項 1 2】 請求項 9 または 1 0 に記載の駆動回路において、前記複数の正側可変抵抗回路および前記複数の負側可変抵抗回路は、前記階調信号に応じた抵抗値を示す抵抗体として前記階調信号に従って導通するスイッチング素子と抵抗素子とを直列にして挿入してなることを特徴とする駆動回路。

【請求項 1 3】 請求項 2 または 4 に記載の駆動回路において、前記サンプリング回路に属するスイッチング素子群のうち同一の信号線に接続された一対のスイッチング素子は前記信号線選択信号に応答して同時に導通してなることを特徴とする駆動回路。

【請求項 1 4】 請求項 8 または 1 0 に記載の駆動回路において、前記正側サンプリング回路に属する正側スイッチング素子群のうち同一の信号線に接続された一対のスイッチング素子は前記正側信号線選択信号に応答して同時に導通してなり、前記負側サンプリング回路に属する負側スイッチング素子群のうち同一の信号線に接続された一対のスイッチング素子は前記負側信号線選択信号に応答して同時に導通してなることを特徴とする駆動回路。

【請求項 1 5】 請求項 2、4、5、6、8、1 0、1 1、1 2、1 3、1

4のうちいずれか1項に記載の駆動回路において、前記各スイッチング素子は、薄膜トランジスタで構成されてなることを特徴とする駆動回路。

【請求項16】 請求項1～15のうちいずれか1項に記載の駆動回路において、前記複数の基準電圧の数は表示画像の階調数よりも小さい数であることを特徴とする駆動回路。

【請求項17】 基板の画像表示領域上に画像信号を伝送するための複数の信号線と走査信号を伝送するための複数の走査線とが格子状に形成され、前記基板のうち各信号線と各走査線とが交差する交差部位近傍に電気信号に応答して光透過率または発光強度が変化する電気・光変換素子が配置され、前記各信号線が駆動回路に接続され、前記各走査線が走査回路に接続されてなる画像表示装置において、前記駆動回路は、請求項1～16のうちいずれか1項に記載のもので構成されてなることを特徴とする画像表示装置。

【請求項18】 基板の画像表示領域上に画像信号を伝送するための複数の信号線と走査信号を伝送するための複数の走査線とが格子状に形成され、前記基板のうち各信号線と各走査線とが交差する交差部位近傍に電気信号に応答して光透過率が変化する液晶が配置され、前記液晶が前記基板と他の基板によって挟持され、前記各信号線が駆動回路に接続され、前記各走査線が走査回路に接続されてなる画像表示装置において、前記駆動回路は、請求項7～14のうちいずれか1項に記載のもので構成されてなることを特徴とする画像表示装置。

【請求項19】 請求項18に記載の画像表示装置において、前記各スイッチング素子は、薄膜トランジスタで構成されてなることを特徴とする画像表示装置。

【請求項20】 請求項18または19に記載の画像表示装置において、前記複数の基準電圧の数は表示画像の階調数よりも小さい数であることを特徴とする画像表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、駆動回路およびこれを用いた画像表示装置に係り、特に、画像表示

部に配線された信号線に階調に応じた画像信号を出力する駆動回路およびこの駆動回路を用いた画像表示装置に関する。

#### 【 0 0 0 2 】

##### 【従来の技術】

従来、画像表示装置として、例えば、アクティブマトリクス方式の液晶表示装置が知られている。アクティブマトリクス方式の液晶表示装置は、基板の画像表示領域上に画像信号を伝送するための複数の信号線と走査信号を伝送するための複数の走査線とが格子状（マトリクス状）に形成され、各信号線と各走査線とが交叉する各交叉部位近傍に液晶と薄膜トランジスタが配置され、各信号線が駆動回路に接続され、各走査線が走査回路に接続され、各薄膜トランジスタのゲートが走査線に、ドレインが信号線に、ソースが表示電極に接続され、この表示電極に相対向して透明電極としての対向電極が配置され、液晶が表示電極と対向電極との間に挟持され、さらにソース電極に保持容量と液晶容量が並列に接続されて構成されている。そして、各信号線に階調信号に応じたアナログ電圧が画像信号として印加される過程で、各走査線に1フレーム時間ごとに1回走査パルスが印加されると、走査パルスが印加される1行分の画素に対応する画像信号が各信号線に印加され、走査パルスが印加された走査線に接続された薄膜トランジスタがオンになり、画像信号が各信号線から薄膜トランジスタのドレイン、ソース間を經由して液晶に印加され、液晶容量と保持容量とを合わせた画素容量が充電される。この動作を繰り返すことにより、パネル全面の画素容量には、フレーム時間、例えば1/60秒ごとに繰り返し画像信号に対応した電圧が印加され、基板の画像表示領域に画像が表示される。

#### 【 0 0 0 3 】

この種の液晶表示装置に設けられた駆動回路としては、例えば、特開2000-227585号公報に記載されているものがある。この駆動回路においては、高圧側の基準電圧 $V_H$ と低圧側の基準電圧 $V_L$ とを複数の抵抗ストリングスを介して接続し、二つの基準電圧を複数の抵抗ストリングスによって分圧し、分圧された電圧と各基準電圧をそれぞれDA変換回路に供給し、このDA変換回路から、表示に必要な階調数のアナログ電圧をデジタルの階調信号に応じて出力し、各

アナログ電圧をサンプリング回路を介して各信号線に順次供給する構成が採用されている。

#### 【 0 0 0 4 】

すなわち、特に、多階調表示の画像表示装置に設けられた駆動回路においては、表示階調数より少ない数の基準電圧を駆動回路が搭載された基板の外部から入力し、基板上の駆動回路から階調数に応じたアナログ電圧を発生するようになっている。これは、表示階調のビット数が増えると、指数関数的に階調数が増えるため、それと同じ数の基準電圧を基板外部に設けると、基板には各基準電圧を入力するのに基準電圧の数に応じた配線をしなければならず、画像表示装置の製造コストおよび製造技術の上で不利になるためである。

#### 【 0 0 0 5 】

##### 【発明が解決しようとする課題】

駆動回路から各信号線に階調に応じた画像信号を出力するに際して、抵抗ストリングスにより分圧された電圧を駆動回路から発生すると、高い基準電圧  $V_H$  と低い基準電圧  $V_L$  との間に貫通電流が流れる。この貫通電流は画像表示装置の消費電力になるため、特に、低消費電力が要求されるバッテリー駆動の画像表示装置に駆動回路を搭載する場合は、この貫通電流が低消費電力化の障害になる。

#### 【 0 0 0 6 】

この貫通電流を小さくするためには、高い基準電圧  $V_H$  と低い基準電圧  $V_L$  との間の抵抗ストリングスの抵抗値をできるだけ大きくする必要がある。一方、駆動回路の基準電圧と信号線（ドレイン線）との間の抵抗、すなわち駆動回路の出力抵抗が大きくなると、ドレイン線（薄膜トランジスタのドレインに接続された線）自体が持つ静電容量を充電するのに出力抵抗値に比例して充電時間が長くなる。このため、高解像度の表示や、高速に画面を書き替える画像表示装置ではサンプリング時間が短いので、駆動回路の出力抵抗を大きくすることはできない。したがって、駆動回路としては、基準電圧とドレイン線との間の抵抗（抵抗値）を増加させずに、基準電圧と基準電圧との間の抵抗を小さくする必要がある。ここで、従来技術のように、2本の抵抗ストリングスの抵抗値を  $r_1$ 、 $r_2$  とし、DA変換回路とサンプリング回路の合成抵抗値（直列抵抗の和）を  $r_3$  とする

と、基準電圧  $V_H$  - 基準電圧  $V_L$  - 信号線間の抵抗の関係は T 字型抵抗回路で表され、抵抗  $r_1$  の一端が基準電圧  $V_H$  に接続され、抵抗  $r_2$  の一端が基準電圧  $V_L$  に接続され、抵抗  $r_1$  と抵抗  $r_2$  との直列接続点に抵抗  $r_3$  を介して信号線が接続される。そして両基準電圧 - 信号線間の抵抗  $r_0$  ( $r_1 + r_3$  または  $r_2 + r_3$ ) を増加させずに、基準電圧  $V_H$  - 基準電圧  $V_L$  間の抵抗を最大にするには、 $r_3 = 0$  にすればよいことが分かる。 $r_3$  を小さくするためには、DA 変換回路とサンプリング回路の素子内部における抵抗値を小さくする必要がある。

しかし、DA 変換回路とサンプリング回路は薄膜トランジスタを用いて形成されているため、薄膜トランジスタの抵抗を下げるにはトランジスタの移動度を上げるかサイズを大きくするか、あるいは駆動回路の電源電圧を上げる必要がある。薄膜トランジスタのサイズを大きくしたりあるいは電源電圧を上げたりすると、薄膜トランジスタを動作するために必要な電流が増加し、駆動回路の消費電力が増大することになる。

#### 【0007】

本発明の課題は、基準電圧・信号線間の抵抗を増加させずに、基準電圧・基準電圧間の抵抗を増加させることができる駆動回路およびこの駆動回路を用いた画像表示装置を提供することにある。

#### 【0008】

##### 【課題を解決するための手段】

前記課題を解決するために、本発明は、電圧の相異なる複数の基準電圧のうちいずれかの基準電圧をデジタルの階調信号に従って選択するとともに、選択された基準電圧と第 1 の出力端子または第 2 の出力端子とを結ぶ複数の回路中に前記階調信号に応じた抵抗値を示す抵抗体を挿入する複数のデジタル・アナログ変換回路と、前記第 1 の出力端子と複数の信号線とを前記階調信号に同期した信号線選択信号に応答して順次接続するとともに前記第 2 の出力端子と前記複数の信号線とを前記信号線選択信号に応答して順次接続するサンプリング回路とを備え、前記サンプリング回路の信号線選択動作により、前記一方のデジタル・アナログ変換回路により選択された基準電圧と前記他方のデジタル・アナログ変換回路により選択された基準電圧のうちいずれか一方または双方の基準電圧を前記いずれか

の回路中に挿入された抵抗体を介して前記各信号線に出力してなる駆動回路を構成したものである。

#### 【0009】

前記駆動回路を構成するに際しては、前記複数のデジタル・アナログ変換回路の代わりに、電圧の相異なる複数の基準電圧のうちいずれかの基準電圧をデジタルの階調信号にしたがって選択する複数のデジタル・アナログ変換回路と、前記各デジタル・アナログ変換回路で選択された基準電圧と第1の出力端子または第2の出力端子とを結ぶ複数の回路中に前記階調信号に応じた抵抗値を示す抵抗体を挿入する複数の可変抵抗回路を用いることができる。

#### 【0010】

スイッチング素子を主要素として駆動回路を構成するに際しては、電圧の相異なる複数の基準電圧と第1の出力端子または第2の出力端子とを結ぶ複数の回路中に導通時の抵抗値が相異なる複数のスイッチング素子がそれぞれ挿入され、デジタルの階調信号に従って指定のスイッチング素子が導通する複数のデジタル・アナログ変換回路と、前記第1の出力端子と複数の信号線との間に挿入された第1のサンプリング用スイッチング素子群および前記第2の出力端子と前記複数の信号線との間に挿入された第2のサンプリング用スイッチング素子群を有するサンプリング回路とを備え、前記各第1のサンプリング用スイッチング素子と前記各第2のサンプリング用スイッチング素子は前記階調信号に同期した信号線選択信号に応答して順次導通し、各サンプリング用スイッチング素子の導通により、前記一方のデジタル・アナログ変換回路に属する指定のスイッチング素子に接続された基準電圧と前記他方のデジタル・アナログ変換回路に属する指定のスイッチング素子に接続された基準電圧のうちいずれか一方または双方の基準電圧を導通状態にある指定のスイッチング素子を介して前記各信号線に出力してなる構成を採用することができる。

#### 【0011】

また、複数のデジタル・アナログ変換回路を駆動回路の外部に配置したものとしては、アナログ電圧をデジタルの階調信号に従って電圧の相異なる基準電圧に変換して出力する複数のデジタル・アナログ変換回路のうち前記一方のデジタル・



アナログ変換回路と第 1 の出力端子とを結ぶ複数の回路中および前記他方のデジタル・アナログ変換回路と第 2 の出力端子とを結ぶ複数の回路中にそれぞれ前記階調信号に応じた抵抗値を示す抵抗体を挿入する複数の可変抵抗回路と、前記第 1 の出力端子と複数の信号線との間に挿入された第 1 のサンプリング用スイッチング素子群および前記第 2 の出力端子と前記複数の信号線との間に挿入された第 2 のサンプリング用スイッチング素子群を有するサンプリング回路とを備え、前記各第 1 のサンプリング用スイッチング素子と前記各第 2 のサンプリング用スイッチング素子は前記階調信号に同期した信号線選択信号に応答して順次導通して各信号線を選択し、前記サンプリング回路の信号線選択動作により、前記一方のデジタル・アナログ変換回路から出力された基準電圧と前記他方のデジタル・アナログ変換回路から出力された選択された基準電圧のうちいずれか一方または双方の基準電圧を前記いずれかの回路中に挿入された抵抗体を介して前記各信号線に出力してなる構成を採用することができる。

## 【 0 0 1 2 】

前記駆動回路に複数の可変抵抗回路を用いたものには、階調信号に応じた抵抗値を示す抵抗体として、前記階調信号にしたがって導通するスイッチング素子を挿入したり、あるいは、階調信号に応じた抵抗値を示す抵抗体として、前記階調信号にしたがって導通するスイッチング素子と抵抗素子とを直列に挿入してなる構成を採用することができる。

## 【 0 0 1 3 】

また、各信号線に交流の画像信号を出力するに際しては、基準電圧として、複数の正側（高圧側）基準電圧と複数の負側（低圧側）基準電圧を設けるとともに、出力端子として、第 1 の正側出力端子、第 2 の正側出力端子、第 1 の負側出力端子および第 2 の負側出力端子を設け、さらに、複数のデジタル・アナログ変換回路に対応して、複数の正側デジタル・アナログ変換回路と複数の負側デジタル・アナログ変換回路を設けることで対応することができる。

## 【 0 0 1 4 】

具其他的には、電圧の相異なる複数の正側基準電圧のうちいずれかの正側基準電圧をデジタルの階調信号に従って選択するとともに、選択された正側基準電圧と第

1 の正側出力端子または第 2 の正側出力端子とを結ぶ複数の回路中に前記階調信号に応じた抵抗値を示す抵抗体を挿入する複数の正側デジタル・アナログ変換回路と、

電圧の相異なる複数の負側基準電圧のうちいずれかの負側基準電圧をデジタルの階調信号に従って選択するとともに、選択された負側基準電圧と第 1 の負側出力の端子または第 2 の負側出力端子とを結ぶ複数の回路中に前記階調信号に応じた抵抗値を示す抵抗体を挿入する複数の負側デジタル・アナログ変換回路とを設ける。

【0015】

さらに、サンプリング回路としては、前記各サンプリング回路に対応して、階調信号に同期した正側信号線選択信号に応答する正側サンプリング回路と階調信号に同期した負側信号線選択信号に応答する負側サンプリング回路を設けることができる。

【0016】

例えば、前記第 1 の正側出力端子と複数の信号線とを前記階調信号に同期した正側信号線選択信号に応答して順次接続するとともに前記第 2 の正側出力端子と前記複数の信号線とを前記階調信号に同期した前記正側信号線選択信号に応答して順次接続する正側サンプリング回路と、前記第 1 の負側出力端子と複数の信号線とを前記階調信号に同期した負側信号線選択信号に応答して順次接続するとともに前記第 2 の負側出力端子と前記複数の信号線とを前記負側信号線選択信号に  
応答して順次接続する負側サンプリング回路とを設ける。

【0017】

さらに、前記各複数の可変抵抗回路に対応させて、複数の正側可変抵抗回路と複数の負側可変抵抗回路を構成することができる。

【0018】

例えば、前記各正側デジタル・アナログ変換回路で選択された正側基準電圧と第 1 の正側出力端子または第 2 の正側出力端子とを結ぶ複数の回路中に前記階調信号に応じた抵抗値を示す抵抗体を挿入する複数の正側可変抵抗回路と、前記各負側デジタル・アナログ変換回路で選択された負側基準電圧と第 1 の負側出力端

子または第 2 の負側出力端子とを結ぶ複数の回路中に前記階調信号に応じた抵抗値を示す抵抗体を挿入する複数の負側可変抵抗回路とを設ける。

または、アナログ電圧をデジタルの階調信号に従って電圧の相異なる正側基準電圧に変換して出力する複数の正側デジタル・アナログ変換回路のうち前記一方の正側デジタル・アナログ変換回路と第 1 の正側出力端子とを結ぶ複数の回路中および前記他方の正側デジタル・アナログ変換回路と第 2 の正側出力端子とを結ぶ回路中にそれぞれ前記階調信号に応じた抵抗値を示す抵抗体を挿入する複数の正側可変抵抗回路と、アナログ電圧をデジタルの階調信号に従って電圧の相異なる負側基準電圧に変換して出力する複数の負側デジタル・アナログ変換回路のうち前記一方の負側デジタル・アナログ変換回路と第 1 の負側出力端子とを結ぶ複数の回路中および前記他方の負側デジタル・アナログ変換回路と第 2 の負側出力端子とを結ぶ回路中にそれぞれ前記階調信号に応じた抵抗値を示す抵抗体を挿入する複数の負側可変抵抗回路とを設ける。

#### 【 0 0 1 9 】

前記各駆動回路を構成するに際しては、以下の要素を付加することができる。

#### 【 0 0 2 0 】

(1) 前記サンプリング回路に属するスイッチング素子群のうち同一の信号線に接続された一対のスイッチング素子は前記信号線選択信号に応答して同時に導通してなる。

#### 【 0 0 2 1 】

(2) 前記正側サンプリング回路に属する正側スイッチング素子群のうち同一の信号線に接続された一対のスイッチング素子は前記正側信号線選択信号に応答して同時に導通してなり、前記負側サンプリング回路に属する負側スイッチング素子群のうち同一の信号線に接続された一対のスイッチング素子は前記負側信号線選択信号に応答して同時に導通してなる。

#### 【 0 0 2 2 】

(3) 前記各スイッチング素子は、薄膜トランジスタで構成されてなる。

#### 【 0 0 2 3 】

(4) 前記複数の基準電圧の数は表示画像の階調数よりも小さい数である。

## 【 0 0 2 4 】

また、本発明は、前記いずれかの駆動回路を備えた画像表示装置として、基板の画像表示領域上に画像信号を伝送するための複数の信号線と走査信号を伝送するための複数の走査線とが格子状に形成され、前記基板のうち各信号線と各走査線とが交差する各交差部位近傍に電気信号に応答して光透過率または発光強度が変化する電気・光変換素子が配置され、前記各信号線が駆動回路に接続され、前記各走査線が走査回路に接続されてなる画像表示装置を構成したものである。

## 【 0 0 2 5 】

前記画像表示装置を構成するに際しては、以下の要素を付加することができる。

## 【 0 0 2 6 】

(1) 前記各スイッチング素子は、薄膜トランジスタで構成されてなる。

## 【 0 0 2 7 】

(2) 前記複数の基準電圧の数は表示画像の階調数よりも小さい数である。

## 【 0 0 2 8 】

前記した手段によれば、サンプリング回路と各信号線との接続点を分圧点として、各デジタル・アナログ変換回路がサンプリング回路を介して各分圧点に接続されるか、各デジタル・アナログ変換回路が各可変抵抗回路、サンプリング回路を介して各分圧点に接続され、あるいは各可変抵抗回路がサンプリング回路を介して各分圧点に接続され、各分圧点と各基準電圧とを結ぶ回路中に挿入された抵抗体あるいはスイッチング素子の抵抗値によって基準電圧を分圧するようにしたため、各分圧点と各信号線との間の抵抗値を0と見なすことができ、基準電圧・信号線間の抵抗を増加させずに、基準電圧・基準電圧間の抵抗を増加させることができ、従って、基準電圧間の電流を小さくすることが可能になり、低消費電力化に寄与することができる。さらに、高解像度や高速フレームレートの画像表示装置によれば、基準電圧間の電流が小さくすることに伴って、画像表示装置の消費電力を小さくすることが可能になる。

## 【 0 0 2 9 】

【発明の実施の形態】

以下、本発明の一実施形態を図面に基づいて説明する。図1は本発明の第1実施形態を示す画像表示装置のブロック構成図である。図1において、画像表示装置は、絶縁基板1、駆動回路2、走査回路3、複数の信号線4、複数の走査配線（走査線）5などを備えて構成されている。絶縁基板1は、例えば、絶縁体を用いて構成されており、この絶縁基板1の表面のうち画像表示領域には画像信号を伝送するための複数の信号線4と、走査パルス（走査信号）を伝送するための複数の走査配線（走査線）5が格子状に形成されており、各信号線4と各走査配線5とが交叉する各交叉部位近傍には薄膜トランジスタ6、容量7、電圧－電流変換回路8、発光素子9が形成されている。各薄膜トランジスタ6のゲート電極はそれぞれ走査配線5に接続され、ソース電極またはドレイン電極は各信号線4に接続され、ドレイン電極またはソース電極は容量7と電圧－電流変換回路8に接続されている。容量7の一端は電圧－電流変換回路8を介してプラス電源V+に接続され、容量7の他端はマイナス電源V-に接続されている。さらに容量7と並列に電気－光変換素子としての発光素子9が接続されている。そして走査回路3から各走査配線5に1フレーム時間、例えば1/60秒ごとに1回走査パルスが順次出力されるようになっており、走査パルスが印加された走査配線5に接続された各薄膜トランジスタ6がオンになり、各信号線4に供給されたアナログ電圧によって容量7が充電される。このとき各信号線4には駆動回路2から表示画像の階調信号に対応したアナログ電圧が出力されるため、このアナログ電圧が容量7に保持される。容量7がアナログ電圧を保持している間、電圧－電流変換回路8はアナログ電圧にしたがって発光素子9に流す電流を制御し、発光素子9が発光する。このときの発光強度は発光素子9に流れる電流によって変化することになっている。

#### 【0030】

電圧－電流変換回路8としては、例えば、1個の薄膜トランジスタで構成することができ、この薄膜トランジスタのゲート電極に電圧を入力することで、ソース電極－ドレイン電極間の電流を制御することができる。そして各発光素子9が1画素として発光し、画像表示領域上の全ての発光素子9が発光することで画像表示領域上に画像が表示されることになる。

## 【 0 0 3 1 】

なお、本実施形態においては、駆動回路 2 を信号線 4 の片側に配置しているが、駆動回路を二つに分割し、分割された各駆動回路を信号線 4 を挟んで絶縁基板 1 の両側に分けて配置することもできる。

## 【 0 0 3 2 】

次に、画像表示装置に搭載された駆動回路 2 の具体的構成を図 2 にしたがって説明する。本実施形態における駆動回路 2 は、4 ビット階調（16 階調）表示のための駆動回路として、DA 変換回路 21、22、サンプリング回路 23 を備えて構成されており、表示階調数（16）よりも少ない基準電圧を基に表示画像の階調信号に対応したアナログ電圧を生成するために、5 つの基準電圧  $V_0 \sim V_4$  が設定されている。基準電圧  $V_0 \sim V_4$  はそれぞれ相異なる電圧値であり、 $V_0 > V_1 > V_2 > V_3 > V_4$  あるいは  $V_4 > V_3 > V_2 > V_1 > V_0$  の関係になっている。

## 【 0 0 3 3 】

DA 変換回路 21 は制御回路 24 と複数の薄膜トランジスタ 26 を備えて構成されており、DA 変換回路 22 は制御回路 25 と複数の薄膜トランジスタ 27 を備えて構成されている。複数の薄膜トランジスタ 26、27 はスイッチング素子として 3 個ずつ一組となって互いに並列接続され、複数の薄膜トランジスタ 26 のうち一組目の薄膜トランジスタ 26 のドレイン電極あるいはソース電極は基準電圧  $V_0$  に接続され、ゲート電極は制御回路 24 の出力端子 A、B、C に接続され、ソース電極あるいはドレイン電極は各薄膜トランジスタ共通の第 1 の出力端子 T1 に接続されている。二組目の薄膜トランジスタ 26 のドレイン電極あるいはソース電極は基準電圧  $V_2$  に接続され、ゲート電極は制御回路 24 の出力端子 D、E、F に接続され、ソース電極あるいはドレイン電極は第 1 の出力端子 T1 に接続されている。さらに、三組目の薄膜トランジスタ 26 のドレイン電極あるいはソース電極は基準電圧  $V_4$  に接続され、ゲート電極は制御回路 24 の出力端子 G、H、I に接続され、ソース電極あるいはドレイン電極は第 1 の出力端子 T1 に接続されている。

## 【 0 0 3 4 】

一方、薄膜トランジスタ 2 7 のうち一組目の薄膜トランジスタ 2 7 のドレイン電極あるいはソース電極は基準電圧  $V_1$  に接続され、ゲート電極は制御回路 2 7 の出力端子 J、K、L に接続され、ソース電極あるいはドレイン電極は各トランジスタ共通の第 2 の出力端子 T 2 に接続されている。二組目の薄膜トランジスタ 2 7 のドレイン電極あるいはソース電極は基準電圧  $V_3$  に接続され、ゲート電極は制御回路 2 5 の出力端子 M、N、O に接続され、ソース電極あるいはドレイン電極は第 2 の出力端子 T 2 に接続されている。そして各組の薄膜トランジスタ 2 6、2 7 は基準電圧  $V_0 \sim V_4$  と出力端子 T 1 または T 2 とを結ぶ回路中に挿入される抵抗体として、導通時の抵抗値が  $R_1$ 、 $R_2$ 、 $R_3$  に設定されている。

## 【 0 0 3 5 】

各抵抗値  $R_1 \sim R_3$  は、相異なる抵抗値であって、

$$R_1 = r - R_{sw} \quad \dots\dots (1)$$

$$R_2 = 2r - R_{sw} \quad \dots\dots (2)$$

$$R_3 = 3r - R_{sw} \quad \dots\dots (3)$$

$$R_3 > R_2 > R_1 > 0 \quad \dots\dots (4)$$

に設定されている。 $R_{sw}$  はサンプリング回路 2 3 を構成する薄膜トランジスタ 2 9 の導通時（オン状態）における抵抗値である。 $r$  は設計上都合の良い任意の抵抗値である。ただし、 $r$  は、抵抗値  $R_1$ 、 $R_2$ 、 $R_3$  が共に正の抵抗値となるように設定されている。薄膜トランジスタ 2 6、2 7 の抵抗値  $R_1$ 、 $R_2$ 、 $R_3$  は、各薄膜トランジスタ 2 6、2 7 の幅を変えるかあるいは各トランジスタのドレイン電極あるいはソース電極と直列に配線材料で抵抗（抵抗素子）を作ることによって実現できる。

## 【 0 0 3 6 】

一方、制御回路 2 4、2 5 には、5 個の基準電圧  $V_0 \sim V_4$  で 1 6 通りのアナログ電圧を生成するために、4 ビットの表示画像の階調信号  $D[3:0]$  が入力されている。階調信号  $D[x:y]$  は、LSB を 0 ビット目として、LSB から  $x$  ビット目  $\sim y$  ビット目の 2 進数のデータを表現している。すなわち、階調信号  $D[3:0]$  は、0 ビット目から 3 ビット目の 2 進数のデータである 4 ビットのデータ（「0 0 0 0」 $\sim$ 「1 1 1 1」）を表している。そして制御回路 2 4、2 5 に 4 ビ

ットの階調信号D[3:0]が入力されたときには、図3(a)、(b)に示すように、16通りの階調信号が入力され、階調(0~15)に応じて出力端子A~Oの値が“0”または“1”に変化している。各薄膜トランジスタ26、27はnチャネルを用いて構成されているため、出力端子A~Oのレベルが“1”の高い電圧レベルとなったときに各薄膜トランジスタ26、27がオンとなり、“0”の低い電圧レベルのときには各薄膜トランジスタ26、27はオフになる。

#### 【0037】

具体的には、0階調のときには出力端子A、B、Cに接続された薄膜トランジスタ26がオンになり、1階調のときには出力端子C、Jに接続された薄膜トランジスタ26、27がオンになり、2階調のときには出力端子B、Kに接続された薄膜トランジスタ26、27がオンになり、3階調のときには出力端子A、Lに接続された薄膜トランジスタ26、27がオンになり、4階調のときには出力端子J、K、Lに接続された薄膜トランジスタ27がオンになる。以下同様に、階調に応じて指定の薄膜トランジスタがオンになる。

#### 【0038】

この場合、本実施形態においては、階調信号のうち下位2ビットの階調信号D[1:0]に従って薄膜トランジスタ26、27がオンになり、図4に示すように、0、4、8、12階調のときには、出力端子A~C、J~L、D~F、M~Oに接続された薄膜トランジスタがオンとなり、各基準電圧V0、V1、V2、V3と出力端子T1またはT2との間には抵抗値R1、R2、R3の合成抵抗値(並列抵抗)の抵抗体が挿入されたことになる。すなわち基準電圧V0、V1、V2、V3だけが出力端子T1または出力端子T2に出力されることになる。

#### 【0039】

また階調信号のうちD[1:0]=1であって、1、5、9、13階調のときには、出力端子C、J、出力端子D、L、出力端子F、M、出力端子G、Oに接続された薄膜トランジスタのみがオンとなり、基準電圧V0、V2、V4のいずれかと出力端子T1との間に抵抗値R1を示す抵抗体が挿入され、基準電圧V1、V3のいずれかと出力端子T2との間に抵抗値R3の抵抗体が挿入されたことに



なる。

【 0 0 4 0 】

以下、同様に、階調 2、6、10、14 のときであって、 $D[1:0]=2$  のときには、基準電圧  $V_0$ 、 $V_2$ 、 $V_4$  のいずれかと出力端子  $T_1$  との間に抵抗値  $R_2$  の抵抗体が挿入され、基準電圧  $V_1$ 、 $V_3$  のいずれかと出力端子  $T_2$  との間に抵抗値  $R_2$  の抵抗体が挿入されることになる。さらに、3、7、11、15 階調であって、 $D[1:0]=3$  のときには、基準電圧  $V_0$ 、 $V_2$ 、 $V_4$  のいずれかと出力端子  $T_1$  との間に抵抗値  $R_3$  の抵抗体が挿入され、基準電圧  $V_1$ 、 $V_3$  のいずれかと出力端子  $T_2$  との間に抵抗値  $R_1$  の抵抗体が挿入されることになる。

【 0 0 4 1 】

一方、サンプリング回路 23 は、 $n$  チャンネルの薄膜トランジスタ 29 を複数個備えて構成されており、2 個の薄膜トランジスタ 29 が一組となって各信号線  $SL_1$ 、 $SL_2$ 、 $SL_3$ 、 $SL_4$  に対応して配置されている。なお、信号線  $SL_1 \sim SL_4$  は図 1 の信号線 4 に対応するものであり、実用的にはより多数であり、例えば、縦 640 × 横 480 VGA 解像度のカラー画像表示装置の場合には、信号線は  $640 \times 3 \text{色} = 1920$  本である。

【 0 0 4 2 】

サンプリング回路 23 は、各組の薄膜トランジスタ 29 に対応して制御回路 28 を備えており、各制御回路 28 の出力は各薄膜トランジスタ 29 のゲート電極に接続されている。さらに、各組の薄膜トランジスタ 29 のうち一方のドレイン電極あるいはソース電極は第 1 の出力端子  $T_1$  に接続され、他方のソース電極あるいはドレイン電極は信号線  $SL_1 \sim SL_4$  に接続されている。また他方の薄膜トランジスタ 29 のうち一方のドレイン電極あるいはソース電極は第 2 の出力端子  $T_2$  に接続され、他方のソース電極あるいはドレイン電極は信号線  $SL_1 \sim SL_4$  にそれぞれ接続されている。すなわち、各組の薄膜トランジスタ 29 は一方のドレイン電極あるいはソース電極が出力端子  $T_1$  または  $T_2$  に接続されており、他方のソース電極あるいはドレイン電極が互いに接続されているとともに、この接続点を分圧点として、各信号線  $SL_1 \sim SL_4$  に接続されている。

【 0 0 4 3 】

サンプリング回路 2 3 の各制御回路 2 8 には、図 5 に示すように、 $D[3:0]$  の階調信号 # 1 ~ # 4 に同期して、“1” のパルスが信号線選択信号として順次入力され、各制御回路 2 8 の出力端子  $S 1$ 、 $S 2$ 、 $S 3$ 、 $S 4$  から“1” のパルスが出力されるようになっている。この制御回路 2 8 としては、例えば、シフトレジスタ回路を用いて構成することができる。そして、各制御回路 2 8 が信号線選択信号に応答して“1” のパルスを出力すると、各組の薄膜トランジスタ 2 9 が 2 個ずつ同時にオンとなり、出力端子  $T 1$ 、 $T 2$  に発生したアナログ電圧がサンプリング回路 2 3 と各信号線  $S L 1 \sim S L 4$  との接続点を分圧点として、各信号線  $S L 1 \sim S L 4$  に印加される。

## 【 0 0 4 4 】

この場合、信号線  $S L 1$  に印加される電圧は、階調信号の下位 2 ビット  $D[1:0]$  に依存し、図 6 に示すように、0、4、8、12 階調のときには、基準電圧  $V 0$ 、 $V 2$ 、 $V 4$  のいずれかと出力端子  $T 1$  との間および基準電圧  $V 1$ 、 $V 3$  のいずれかと出力端子  $T 2$  との間に抵抗値  $R 1$ 、 $R 2$ 、の合成抵抗値による抵抗体が挿入されるため、基準電圧  $V 0$ 、 $V 1$ 、 $V 2$ 、 $V 3$  のうちいずれかの 1 つの基準電圧のみが信号線  $S L 1 \sim S L 4$  に印加される。すなわち、各信号線  $S L 1 \sim S L 4$  には基準電圧  $V n$  のみが印加される。

## 【 0 0 4 5 】

また  $D[1:0] = 1$  であって、1、5、9、13 階調のときには、図 4 に示すように、基準電圧と出力端子  $T 1$  または  $T 2$  には抵抗値  $R 1$  または抵抗値  $R 3$  の抵抗体が挿入されることになるため、基準電圧  $V 0$  と基準電圧  $V 1$  を 3 : 1 の内分比にしたがって分圧した電圧が各信号線  $S L 1 \sim S L 4$  に印加される。また  $D[1:0] = 2$  であって、2、6、10、14 階調のときには、図 4 に示すように、基準電圧と出力端子  $T 1$  または  $T 2$  との間には抵抗値  $R 2$  の抵抗体が挿入されることになるため、基準電圧  $V n$  と基準電圧  $V n + 1$  を 2 : 2 の内分比によって分圧した電圧が各信号線  $S L 1 \sim S L 4$  に印加される。すなわち、図 6 に示すように、2 階調のときには  $(V 0 + V 1) / 2$  の電圧、6 階調のときには  $(V 1 + V 2) / 2$  の電圧、10 階調のときには  $(V 2 + V 3) / 2$  の電圧、14 階調のときには  $(V 3 + V 4) / 2$  の電圧がそれぞれ信号線  $S L 1 \sim S L 4$  に印加され

る。

同様にして、 $D[1:0] = 3$  のときには、基準電圧と各出力端子  $T1$ 、 $T2$  との間には、図 4 に示すように、抵抗値  $R3$ 、 $R1$  の抵抗体が挿入されたことに相当し、基準電圧  $V_n$  と基準電圧  $V_{n+1}$  が  $1:3$  の内分比で分圧され、分圧された電圧が各信号線  $SL1 \sim SL4$  に印加される。すなわち、図 6 に示すように、3、7、11、15 階調のときには、 $(V_0 + 3V_1)/4$ 、 $(V_1 + 3V_2)/4$ 、 $(V_2 + 3V_3)/4$ 、 $(V_3 + 3V_4)/4$  の電圧が各信号線に印加される。

#### 【0046】

このように、本実施形態においては、0～15 階調を示す階調信号 #1～#4 が入力されると、基準電圧  $V_0 \sim V_4$  を 16 段階の階調電圧に分けたアナログ電圧が階調に応じて各信号線  $SL1 \sim SL4$  に印加される。そして各信号線  $SL1 \sim SL4$  とサンプリング回路 23 との接続点を分圧点とし、この分圧点と各基準電圧との間には薄膜トランジスタ 26、27 による抵抗値  $R1$ 、 $R2$ 、 $R3$  と薄膜トランジスタ 29 の導通時における抵抗値  $R_{sw}$  のみが挿入され、分圧点と各信号線との間の抵抗値は 0 とみなすことができ、各基準電圧・信号線間の抵抗を増加させずに、基準電圧・基準電圧間の抵抗を増加させることができ、各基準電圧間の電流を小さくすることができる。このため、駆動回路 2 を高解像度、高速フレームレートの画像表示装置に搭載しても、消費電力を小さくすることができる。

#### 【0047】

なお、本実施形態においては、4 ビット階調のものについて述べたが、DA 変換回路 21、22 の薄膜トランジスタ 26、27 の並列数を増加させたりあるいは DA 変換素子の階調数を増やすことで、6 ビットや 8 ビットなどのより多くの階調を表示することができる。

#### 【0048】

次に、駆動回路 2 の第 2 実施形態を図 7 にしたがって説明する。本実施形態における駆動回路 2 は、図 2 に示す DA 変換回路 21、22 の代わりに、DA 変換回路 41、42、可変抵抗回路 43、44 を設けたものであり、サンプリング回

路 2 3 は図 2 のものと同一のもので構成されている。

#### 【 0 0 4 9 】

D A 変換回路 4 1、4 2 は、電圧の相異なる複数の基準電圧  $V_0 \sim V_4$  のうちいずれかの基準電圧をデジタルの階調信号にしたがって選択するデジタル・アナログ変換回路として、制御回路 4 6、4 7、4 個の  $n$  チャネル薄膜トランジスタ 5 1、5 2 を備えて構成されている。各薄膜トランジスタ 5 1 のゲート電極は制御回路 4 6 の出力端子 A、B、C、D にそれぞれ接続され、一方のソース電極あるいはドレイン電極は基準電圧  $V_0$ 、 $V_1$ 、 $V_2$ 、 $V_3$  に接続され、他方のドレイン電極あるいはソース電極は全て共通に接続され、この接続点が可変抵抗回路 4 3 に接続されている。一方、各薄膜トランジスタ 5 2 はゲート電極が制御回路 4 7 の出力端子 A、B、C、D に接続され、一方のソース電極あるいはドレイン電極が基準電圧  $V_1$ 、 $V_2$ 、 $V_3$ 、 $V_4$  に接続され、他方のドレイン電極あるいはソース電極が互いに共通に接続され、この共通接続点が可変抵抗回路 4 4 に接続されている。各基準電圧  $V_0 \sim V_4$  はそれぞれ異なる電圧値であって、 $V_0 > V_1 > V_2 > V_3 > V_4$  あるいは  $V_4 > V_3 > V_2 > V_1 > V_0$  の関係になっている。また各薄膜トランジスタ 5 1、5 2 の導通時（ON 状態）における抵抗値は  $R_{DA}$  に設定されている。

#### 【 0 0 5 0 】

制御回路 4 6、4 7 には、階調に応じた基準電圧を選択するために、4 ビットの表示画像の階調信号のうち上位 2 ビットの階調信号  $D[3:2]$  が入力されている。各制御回路 4 6、4 7 の入力端子 IN に、0、4、8、12 階調の階調信号  $D[1:0] = 0$  として、上位 2 ビットのデータ「00」が入力されたときには、図 8 (a) に示すように、出力端子 A から“1”の信号が出力され、出力端子 A に接続された薄膜トランジスタ 5 1、5 2 のみがオンになり、基準電圧  $V_0$ 、 $V_1$  がそれぞれ可変抵抗回路 5 3、5 4 に出力される。 $D[1:0] = 1$  であって、上位 2 ビットのデータ「01」が入力されたときには、出力端子 B のみが“1”となり、出力端子 B に接続された薄膜トランジスタ 5 1、5 2 のみがオンとなり、基準電圧  $V_1$ 、 $V_2$  がそれぞれ可変抵抗回路 5 3、5 4 に出力される。また階調信号  $D[1:0] = 2$  であって、上位 2 ビットのデータ「10」が入力されたときには

、出力端子Cのみが“1”となり、出力端子Cに接続された薄膜トランジスタ51、52のみがオンとなり、基準電圧V2、V3がそれぞれ可変抵抗回路43、44に出力される。また階調信号D[1:0]=3であって、上位2ビットのデータ「11」が入力されたときには、出力端子Dのみが“1”となり、出力端子Dに接続された薄膜トランジスタ51、52のみがオンとなり、基準電圧V3、V4が可変抵抗回路54、53に出力される。

#### 【0051】

一方、各可変抵抗回路43、44は制御回路48、49、3個のnチャネル薄膜トランジスタ53、54を備えて構成されており、各可変抵抗回路43、44の出力側が第1の出力端子T1、第2の出力端子T2に接続されている。各薄膜トランジスタ53は互いに並列に接続され、各ゲート電極が制御回路48の出力端子a、b、cに接続され、一方のドレイン電極あるいはソース電極が互いに共通に接続されてDA変換回路41に接続され、他方のソース電極あるいはドレイン電極が互いに共通に接続されて出力端子T1に接続されている。各薄膜トランジスタ54は互いに並列に接続され、各ゲート電極が制御回路49の出力端子d、e、fに接続され、一方のドレイン電極あるいはソース電極が互いに共通に接続された状態でDA変換回路42に接続され、他方のソース電極あるいはドレイン電極は互いに共通に接続された状態で出力端子T2に接続されている。

#### 【0052】

各制御回路48、49には、階調に応じた抵抗値を選択するために、4ビットの表示画像の階調信号のうち下位2ビットの階調信号D[1:0]が入力されている。制御回路48は、図8の(b)に示すように、D[1:0]=0のときに、出力端子a、b、cにそれぞれ“1”の信号を出力し、D[1:0]=1のときには出力端子cにのみ“1”の信号を出力し、D[1:0]=2のときには出力端子bのみに“1”の信号を出力し、D[1:0]=3のときには出力端子aのみに“1”の信号を出力するようになっている。そして各出力端子a、b、cに接続された薄膜トランジスタ53はゲート電極に“1”の信号が入力されたときにオンとなり、DA変換回路41と出力端子T1とを結ぶ回路中に薄膜トランジスタ53の導通時における抵抗値によって決定される抵抗体を挿入するようになっている。

。そして出力端子 a、b、c に接続された薄膜トランジスタ 53 の導通時における抵抗値はそれぞれ  $R_3$ 、 $R_2$ 、 $R_1$  に設定されている。

#### 【0053】

この抵抗値  $R_1 \sim R_3$  は、

$$R_1 = r - R_{DA} - R_{sw} \quad \cdots \cdots (5)$$

$$R_2 = 2r - R_{DA} - R_{sw} \quad \cdots \cdots (6)$$

$$R_3 = 3r - R_{DA} - R_{sw} \quad \cdots \cdots (7)$$

$$R_3 > R_2 > R_1 > 0 \quad \cdots \cdots (8)$$

に設定されている。ここで、 $R_{DA}$  は薄膜トランジスタ 51、52 の導通時における抵抗値を示し、 $R_{sw}$  はサンプリング回路 23 の薄膜トランジスタ 29 の導通時における抵抗値を示す。

#### 【0054】

また、可変抵抗回路 44 を構成する 3 個の薄膜トランジスタ 54 は互いに並列に接続され、各ゲート電極は制御回路 49 の出力端子 d、e、f に接続され、一方のドレイン電極あるいはソース電極は互いに共通に接続された状態で DA 変換回路 42 に接続され、他方のソース電極あるいはドレイン電極は互いに共通に接続された状態で出力端子 T2 に接続されている。制御回路 49 には、階調に応じた抵抗値を選択するために、4 ビットの表示画像の階調信号のうち下位 2 ビットの階調信号  $D[1:0]$  が入力されている。この制御回路 49 の入力端子 IN に下位 2 ビットの階調信号  $D[1:0] = 0$  が入力されたときには、図 8 (c) に示すように、出力端子 d、e、f は全て 0 となる。 $D[1:0] = 1$  が入力されたときには、出力端子 d のみから “1” の信号が出力され、 $D[1:0] = 2$  が入力されたときには出力端子 e のみから “1” の信号が出力され、 $D[1:0] = 3$  が入力されたときには出力端子 f からのみ “1” の信号が出力される。そして各薄膜トランジスタ 54 は出力端子 d、e、f の出力が “1” となったときにのみオンとなり、出力端子 d、e、f に接続された薄膜トランジスタ 54 の導通時における抵抗値はそれぞれ  $R_3$ 、 $R_2$ 、 $R_1$  に設定されている。これら抵抗値  $R_1 \sim R_3$  は、前記 (5) ～ (8) 式に示す関係となっている。

#### 【0055】

ここで、階調信号として、0、4、8、12階調を示す階調信号が各制御回路46～49に入力され、 $D[1:0]=0$ のときには、可変抵抗回路43の全ての薄膜トランジスタ53がオンとなり、基準電圧 $V_0$ と出力端子T1との間に各薄膜トランジスタ53の合成抵抗値を示す抵抗体が挿入されることになる。すなわち、図9に示すように、基準電圧 $V_0$ と出力端子T1との間には抵抗値 $R_1$ 、 $R_2$ 、 $R_3$ の合成抵抗値（並列抵抗）による抵抗体が挿入されることになる。

## 【0056】

次に、1、5、9、13階調を示す階調信号が制御回路46～49に入力されると、出力端子cと出力端子dに接続された薄膜トランジスタ53、54のみがオンとなり、図9に示すように、基準電圧 $V_1$ と出力端子T1との間に抵抗値 $R_1$ による抵抗体が挿入され、基準電圧 $V_2$ と出力端子T2との間に抵抗値 $R_3$ による抵抗体が挿入されることになる。

## 【0057】

同様にして、2、6、10、14階調を示す階調信号が各制御回路46～49に入力され、 $D[1:0]=2$ のときには、図9に示すように、基準電圧 $V_2$ と出力端子T1との間に抵抗値 $R_2$ による抵抗体が挿入され、基準電圧 $V_3$ と出力端子T2との間に抵抗値 $R_2$ による抵抗体が挿入されることになる。さらに、3、7、11、15階調を示す階調信号が制御回路46～49に入力され、 $D[1:0]=3$ のときには、図9に示すように、基準電圧 $V_3$ と出力端子R1との間に抵抗値 $R_3$ による抵抗体が挿入され、基準電圧 $V_4$ と出力端子T2との間に抵抗値 $R_1$ による抵抗体が挿入されることになる。

## 【0058】

このとき、サンプリング回路23の各制御回路28に、階調信号#1～#4=0～15に同期した信号線選択信号として“1”の信号が順次入力されると、各信号線SL1～SL4には、基準電圧 $V_0$ ～ $V_4$ を16段階に分けた階調電圧が画像信号を示すアナログ電圧として順次印加される。

## 【0059】

本実施形態においては、サンプリング回路23と各信号線SL1～SL4との接続点を分圧点として、各信号線SL1～SL4には階調に応じたアナログ電圧

が順次印加されることになる。

#### 【 0 0 6 0 】

このように、本実施形態においては、0～15階調を示す階調信号#1～#4が入力されると、基準電圧 $V_0 \sim V_4$ を16段階の階調電圧に分けたアナログ電圧が階調に応じて各信号線 $SL_1 \sim SL_4$ に印加される。そして各信号線 $SL_1 \sim SL_4$ とサンプリング回路23との接続点を分圧点とし、この分圧点と各基準電圧との間には薄膜トランジスタ53、54による抵抗値 $R_1$ 、 $R_2$ 、 $R_3$ と薄膜トランジスタ29の導通時における抵抗値 $R_{sw}$ および薄膜トランジスタ51、52の導通時における抵抗値 $R_{DA}$ のみが挿入され、分圧点と各信号線との間の抵抗値は0とみなすことができ、各基準電圧・信号線間の抵抗を増加させずに、基準電圧・基準電圧間の抵抗を増加させることができ、各基準電圧間の電流を小さくすることができる。このため、駆動回路2を高解像度、高速フレームレートの画像表示装置に搭載しても、消費電力を小さくすることができる。

#### 【 0 0 6 1 】

次に、駆動回路2の第3実施形態を図10にしたがって説明する。本実施形態における駆動回路2は、図7に示す可変抵抗回路43、44、サンプリング回路23で構成したものであって、デジタル・アナログ変換回路に相当するものが駆動回路2の外部に配置されている。デジタル・アナログ変換回路に相当するものは、DA変換素子61、62、アンプ素子63、64を備えて構成されており、DA変換素子61はアンプ素子63を介して可変抵抗回路43に接続され、DA変換素子62はアンプ素子64を介して可変抵抗回路44に接続されている。各DA変換素子61、62はアナログ電圧をデジタルの階調信号にしたがって電圧の相異なる基準電圧に変換して出力するデジタル・アナログ変換回路として構成されており、入力端子INには、4ビットの表示画像の階調信号のうち上位2ビットの階調信号 $D[3:2]$ が入力されている。

#### 【 0 0 6 2 】

各DA変換素子61、62は、図11に示すように、 $D[3:2]=0$ のときには、出力端子Aoutから基準電圧 $V_0$ 、 $V_1$ を出力し、 $D[3:2]=1$ のときには基準電圧 $V_1$ 、 $V_2$ を出力し、 $D[3:2]=2$ のときには基準電圧 $V_2$ 、 $V$



3 を出力し、 $D[3:2] = 3$  のときには基準電圧  $V_3$ 、 $V_4$  をそれぞれ出力するようになっている。これら基準電圧  $V_0 \sim V_4$  の大きさは前記各実施形態と同様に設定されている。各 DA 変換素子 61、62 から出力された基準電圧はそれぞれアンプ素子 63、64 によって増幅され、増幅された基準電圧がそれぞれ可変抵抗回路 43、44 に入力されるようになっている。この場合、アンプ素子 63、64 は DA 変換素子 61、62 の出力抵抗値を低くするために設けられており、DA 変換素子 61、62 の出力抵抗が十分に低い場合には、アンプ素子 63、64 を省略することもできる。また DA 変換素子 61、62 に増幅機能が含まれているときにはアンプ素子 63、64 を省略することができる。

## 【0063】

DA 変換素子 61、62 から基準電圧  $V_0 \sim V_4$  が駆動回路 2 に入力される過程で、制御回路 48、49 に階調信号 #1 ~ #4 = 0 ~ 15 が入力されるとともに、この階調信号に同期した信号線選択信号が各制御回路 28 に順次入力されると、各信号線  $SL_1 \sim SL_4$  には、サンプリング回路 23 と各信号線  $SL_1 \sim SL_4$  との接続点を分圧点として、階調に応じたアナログ電圧が画像信号として各信号線  $SL_1 \sim SL_4$  が印加される。

## 【0064】

本実施形態においては、0 ~ 15 階調を示す階調信号 #1 ~ #4 が入力されると、基準電圧  $V_0 \sim V_4$  を 16 段階の階調電圧に分けたアナログ電圧が階調に応じて各信号線  $SL_1 \sim SL_4$  に印加され、各信号線  $SL_1 \sim SL_4$  とサンプリング回路 23 との接続点を分圧点とし、この分圧点と各基準電圧との間には薄膜トランジスタ 53、54 による抵抗値  $R_1$ 、 $R_2$ 、 $R_3$  と薄膜トランジスタ 29 の導通時における抵抗値  $R_{sw}$  のみが挿入され、分圧点と各信号線との間の抵抗値は 0 とみなすことができ、各基準電圧・信号線間の抵抗を増加させずに、基準電圧・基準電圧間の抵抗を増加させることができ、各基準電圧間の電流を小さくすることができる。このため、駆動回路 2 を高解像度、高速フレームレートの画像表示装置に搭載しても、消費電力を小さくすることができる。

## 【0065】

前記各実施形態における駆動回路 2 においては、階調信号 = 0 のときには、基

準電圧  $V_n$  と基準電圧  $V_{n+1}$  との間には電流が流れず、一方の基準電圧のみが信号線に印加されるため、各基準電圧間における電流による消費電力を 0 にすることができる。一方、階調信号 = 1 ~ 3 のときには、基準電圧  $V_n$  と基準電圧  $V_{n+1}$  との間には電流は流れるが、このときの電流の経路は、一方の基準電圧と分圧点および他方の基準電圧を結ぶ回路に流れるため、分圧点と各信号線  $SL_1 \sim SL_4$  との接続点における抵抗 ( $r_3$ ) は極めて小さく 0 とみなすことができ、駆動回路 2 の出力抵抗値を大きくせずに、消費電力を小さくすることができる。

## 【 0 0 6 6 】

次に、本発明に係る画像表示装置の第 2 実施形態を図 1 2 にしたがって説明する。本実施形態における画像表示装置は、電気・光変換素子として液晶を用いた画像表示装置として、絶縁基板 1 0 1、駆動回路 1 0 2、走査回路 1 0 3 などを備えて構成されている。絶縁基板 1 0 1 は透明なガラスを用いて形成されており、絶縁基板 1 0 1 の画像表示領域には画像信号を伝送する複数の信号線 1 0 4 と走査パルスを送送するための複数の走査配線（走査線） 1 0 5 が格子状に形成され、各信号線 1 0 4 と各走査配線 1 0 5 が互いに交叉する各交叉部位近傍には薄膜トランジスタ 1 0 6、容量 1 0 7、表示電極 1 0 8 が形成され、画像表示領域から外れた領域に駆動回路 1 0 2、走査回路 1 0 3 が形成されている。各薄膜トランジスタ 1 0 6 はゲート電極が各走査配線 1 0 5 に接続され、一方のドレイン電極あるいはソース電極が各信号線 1 0 4 に接続され、他方のソース電極あるいはドレイン電極が容量 1 0 7 と表示電極 1 0 8 に接続されている。容量 1 0 7 は透明な表示電極 1 0 8 と並列に接続されており、容量 1 0 7 の一端が交流的に接地されている。表示電極 1 0 8 は、表面に透明電極が形成され、絶縁基板 1 0 1 と相対向する絶縁基板と液晶を介して接続されている。すなわち絶縁基板 1 0 1 と絶縁基板とによって液晶が挟持され、絶縁基板 1 0 1 と相対向する絶縁基板上の透明電極は交流的に接地されている。

## 【 0 0 6 7 】

各走査配線 1 0 5 に 1 フレームごとに 1 回走査パルスが印加されると、各走査配線 1 0 5 に接続された薄膜トランジスタ 1 0 6 が順次オンとなり、各信号線 1

04 上のアナログ電圧が各薄膜トランジスタ 104 を介して容量 107 に充電され、充電されたアナログ電圧が容量 107、表示電極 108 によって保持される。容量 107 と表示電極 108 がアナログ電圧を保持している間、表示電極 108 と透明電極との間の液晶は、1 フレームごと極性が変化するアナログ電圧、すなわち信号線 104 に印加される交流電圧の振幅により偏光性が変化する。この場合、相対向する 2 枚の基板の外側にそれぞれ偏向板を設けることで、透過率の変化に伴う光が出力され、画像表示領域には液晶の透過率の変化に伴う画像が表示されることになる。なお、駆動回路 102 として、信号線 104 の片側に配置したものについて述べたが、駆動回路 2 を二つに分割し、分割された駆動回路をそれぞれ信号線 104 を挟んで基板 101 の両側に配置することもできる。

#### 【0068】

次に、表示画像に合わせて全ての表示電極 108 と透明電極との間に交流電圧を印加させることができる駆動回路 102 の実施形態を図 13 にしたがって説明する。本実施形態における駆動回路 102 は、4 ビット階調表示のための駆動回路として、DA 変換回路 121、122、123、124、サンプリング回路 125 を備えて構成されており、サンプリング回路 125 は信号線 104 に相当する 6 本の信号線 SL1～SL6 に接続されている。

#### 【0069】

DA 変換回路 121、122 は、負側（低圧側）デジタル・アナログ変換回路として、制御回路 126、127、複数の  $n$  チャネル薄膜トランジスタ 131、132 を備えて構成されている。DA 変換回路 121、122 は負側（低圧側）基準電圧 VL0、VL2、VL4、VL1、VL3 が入力される他は、図 2 に示す DA 変換回路 21、22 と同一の機能を備えて構成されている。すなわち制御回路 126、127 にはそれぞれ 4 ビットの表示画像の階調信号 D1[3:0] が入力され、複数の  $n$  チャネル薄膜トランジスタ 131、132 はそれぞれ 3 個一組となって互いに並列に接続され、出力端子 A、D、G、J、M に接続された薄膜トランジスタ 131、132 の導通時における抵抗値は R3 に設定され、出力端子 B、E、H、K、N に接続された薄膜トランジスタ 131、132 の導通時における抵抗値は R2 に設定され、出力端子 C、F、I、L、O に接続された薄

膜トランジスタ131、132の導通時における抵抗値はR1に接続されている。そして薄膜トランジスタ131、132の各組の出力側は互いに共通に接続され、DA変換回路121の出力側は第1の負側（低圧側）出力端子T1を介してサンプリング回路125に接続され、DA変換回路122の出力側は第2の負側（低圧側）出力端子T2を介してサンプリング回路125に接続されている。

## 【0070】

一方、DA変換回路123、124は正側（高圧側）デジタル・アナログ変換回路として、制御回路128、129、複数のpチャネル薄膜トランジスタ134、135を備えて構成されている。DA変換回路123、124は、階調に応じた基準電圧として正側（高圧側）の基準電圧を分圧したアナログ電圧を出力する他は、DA変換回路121、122と同様の機能を備えて構成されている。すなわちDA変換回路123には、電圧の相異なる正側（高圧側）基準電圧VH0、VH2、VH4が設定され、DA変換回路124には正側（高圧側）基準電圧VH1、VH3が設定されており、各基準電圧は相異なる電圧値であって、 $VH0 > VH1 > VH2 > VH3 > VH4 > VL4 > VL3 > VL2 > VL1 > VL0$ の関係に設定されている。

## 【0071】

制御回路128、129には4ビットの表示画像の階調信号D2[3:0]が入力されており、複数の薄膜トランジスタ134、135は3個が一組となって互いに並列に接続され、一端がそれぞれ基準電圧VH0～VH4に接続され、他端が互いに共通に接続されて第1の正側（高圧側）出力端子t1または第2の正側（高圧側）出力端子t2に接続されている。そして出力端子A、D、G、J、Mに接続された薄膜トランジスタ134、135の導通時における抵抗値はR3に設定され、出力端子B、E、H、K、Nに接続された薄膜トランジスタ134、135の導通時における抵抗値はR2に設定され、出力端子C、F、I、L、Oに接続された薄膜トランジスタ134、135の導通時における抵抗値はR1に設定されている。これら抵抗値R1～R3の値は前記実施形態と同様の関係に設定されている。

## 【0072】

制御回路 1 2 8 ~ 1 2 9 に、図 1 4 に示すように、フレーム期間ごとに (a) に示すような階調信号  $D1[3:0]$ 、 $D2[3:0]$  が入力され、次のフレームでは (b) に示すような階調信号  $D1[3:0]$ 、 $D2[3:0]$  が入力されたときには、まず (a) に示すフレーム期間では、# 1、# 3、# 5 の階調信号に応答して出力端子  $T1$ 、 $T2$  には基準電圧  $V_{L0} \sim V_{L4}$  またはこれら基準電圧を分圧した電圧が出力され、# 2、# 4、# 6 の階調信号に応答して、出力端子  $t1$ 、 $t2$  には基準電圧  $V_{H0} \sim V_{H4}$  またはこれら基準電圧を分圧した電圧が出力端子  $t1$ 、 $t2$  に出力される。逆に、(b) に示すフレーム期間では、# 2、# 4、# 6 の階調信号に応答して出力端子  $t1$ 、 $t2$  に正側の基準電圧または正側の基準電圧を分圧した電圧が出力され、# 1、# 3、# 5 の階調信号に応答して、出力端子  $T1$ 、 $T2$  には負側の基準電圧または負側の基準電圧を分圧した電圧が出力される。なお、制御回路 1 2 8、1 2 9 から “1” の信号が出力されたときには、この “1” の信号は “0” の電圧よりも低い電圧を示しているので、 $p$  チャンネルの薄膜トランジスタ 1 3 4、1 3 5 は “1” の信号に응答して導通することになる。

### 【0 0 7 3】

サンプリング回路 1 2 5 は、複数の  $n$  チャンネル薄膜トランジスタ 1 3 6、複数の  $p$  チャンネル薄膜トランジスタ 1 3 7 をスイッチング素子として備えているとともに、各薄膜トランジスタのオンオフを制御するための制御回路 1 3 8、1 3 9 が複数個設けられて構成されており、サンプリング回路 1 2 5 の出力側と各信号線 1 0 4 に相当する信号線  $SL1 \sim SL6$  との接続点を分圧点として、この分圧点に各信号線  $SL1 \sim SL6$  が接続されている。各薄膜トランジスタ 1 3 6、制御回路 1 3 8 は負側（低圧側）サンプリング回路として構成されており、複数の  $n$  チャンネル薄膜トランジスタ 1 3 6 は 2 個ずつ一組となって互いに並列に接続され、ゲート電極が制御回路 1 3 6 に接続され、一方のドレイン電極あるいはソース電極が出力端子  $T1$  または  $T2$  に接続され、他方のソース電極あるいはドレイン電極が互いに接続され、この接続点が分圧点として各信号線  $SL1 \sim SL6$  に接続されている。複数の  $p$  チャンネル薄膜トランジスタ 1 3 7、制御回路 1 3 9 は正側（高圧側）サンプリング回路として構成されており、複数の薄膜トランジス

タ 1 3 7 は 2 個 ず つ 一 組 と な っ て 互 い に 並 列 に 接 続 さ れ、各 組 の 薄 膜 ト ラ ン ジ ス タ 1 3 7 の ゲ ー ト 電 極 は 各 々 制 御 回 路 1 3 9 に 接 続 さ れ、一 方 の ド レ イ ン 電 極 あ る い は ソ ー ス 電 極 は 出 力 端 子  $t_1$  ま た は  $t_2$  に 接 続 さ れ、他 方 の ソ ー ス 電 極 あ る い は ド レ イ ン 電 極 は 互 い に 接 続 さ れ、こ の 接 続 点 を 分 圧 点 と し て 各 信 号 線  $SL_1 \sim SL_6$  に 接 続 さ れ て い る。そ し て 各 薄 膜 ト ラ ン ジ ス タ 1 3 6、1 3 7 の 導 通 時 に お け る 抵 抗 値 は  $R_{sw}$  に 設 定 さ れ て い る。

## 【 0 0 7 4 】

制 御 回 路 1 3 8 に は 階 調 信 号 # 1 ~ # 6 に 同 期 し た 負 側 (低 圧 側) 信 号 線 選 択 信 号 と し て の パ ル ス が 入 力 さ れ る よ う に な っ て お り、こ の パ ル ス に 応 答 し て 各 制 御 回 路 1 3 8 の 出 力 端 子  $S_{n1} \sim S_{n6}$  か ら は “1” の 信 号 が 出 力 さ れ、各 組 の 薄 膜 ト ラ ン ジ ス タ 1 3 6 が 同 時 に オ ン に な る よ う に な っ て い る。ま た 制 御 回 路 1 3 9 に は、階 調 信 号 # 1 ~ # 6 に 同 期 し た 正 側 (高 圧 側) 信 号 線 選 択 信 号 と し て の パ ル ス が 入 力 さ れ て お り、各 制 御 回 路 1 3 9 の 出 力 端 子  $S_{p1} \sim S_{p6}$  か ら は “1” の 信 号 が 出 力 さ れ る よ う に な っ て い る。こ の 場 合、制 御 回 路 1 3 9 に 接 続 さ れ た 薄 膜 ト ラ ン ジ ス タ 1 3 7 は p チ ャ ネ ル で 構 成 さ れ て い る た め、“1” の 信 号 は “0” の 電 圧 よ り も 低 い 電 圧 を 示 し て い る の で、“1” の 信 号 に よ っ て 各 組 の 薄 膜 ト ラ ン ジ ス タ 1 3 7 が 同 時 に オ ン に な る よ う に 構 成 さ れ て い る。

## 【 0 0 7 5 】

上 記 構 成 に お い て、あ る フ レ ー ム 期 間 に お い て、図 1 4 の (a) 示 す よ う に、 $D_1 [3 : 0]$ 、 $D_2 [3 : 0]$  の 階 調 信 号 # 1 ~ # 6 が 発 生 し、出 力 端 子  $S_{n1}$ 、 $S_{n3}$ 、 $S_{n5}$ 、 $S_{p2}$ 、 $S_{p4}$ 、 $S_{p6}$  か ら 各 々 “1” の 信 号 が 順 次 出 力 さ れ る と、奇 数 番 目 の 信 号 線  $SL_1$ 、 $SL_3$ 、 $SL_5$  に は 図 1 5 の (b) に 示 す よ う に、低 い 電 圧 側 の 1 6 段 階 の ア ナ ロ グ 電 圧 が 発 生 し、偶 数 番 目 の 信 号 線  $SL_2$ 、 $SL_4$ 、 $SL_6$  に は 図 1 5 の (a) に 示 す よ う に、高 い 電 圧 側 の 1 6 段 階 の ア ナ ロ グ 電 圧 が 発 生 す る。

## 【 0 0 7 6 】

次 に、次 の フ レ ー ム 期 間 で 図 1 4 の (b) に 示 す よ う な 階 調 信 号 が 入 力 さ れ、出 力 端 子  $S_{n2}$ 、 $S_{n4}$ 、 $S_{n6}$ 、 $S_{p1}$ 、 $S_{p3}$ 、 $S_{p5}$  か ら 各 々 “1” の 信 号 が 出 力 さ れ る と、奇 数 番 目 の 信 号 線  $SL_1$ 、 $SL_3$ 、 $SL_5$  に は 図 1 5 の

(a) に示すように、高い電圧側の 16 段階の電圧が階調に応じて発生する。一方、偶数番目の信号線 S L 2、S L 4、S L 6 には図 15 の (b) に示すように、低い電圧側の 16 段階の電圧が階調に応じて発生する。

## 【 0 0 7 7 】

このように、各フレームごとに図 14 の (a)、(b) に示す動作を繰り返すことで、階調信号が 0 のときには最大振幅で、階調信号が 15 のときには、最小振幅になるアナログ電圧であって、階調にしたがった 16 段階の振幅の交流電圧が各信号線に順次印加され、この交流電圧によって液晶が駆動されることになる。

## 【 0 0 7 8 】

本実施形態によれば、各信号線 S L 1 ~ S L 6 とサンプリング回路 1 2 5 との接続点を分圧点として、各信号線 S L 1 ~ S L 6 に各基準電圧または各基準電圧を分圧した電圧を印加するようにしているため、基準電圧・信号線間の抵抗を増加させずに、基準電圧・基準電圧間の抵抗を増加させることができるとともに、基準電圧間の電流を小さくすることができ、高解像度や高速フレームレートの画像表示装置（液晶表示装置）でも画像表示装置の消費電力を小さくすることができる。

## 【 0 0 7 9 】

なお、前記実施形態においては、信号線 S L 1 ~ S L 6 として 6 本のものについて述べたが、実用的にはより多数であり、例えば、縦 640 × 横 480 V G A 解像度のカラー画像表示装置の場合には信号線は  $640 \times 3 \text{色} = 1220$  本である。また、階調は 4 ビットで説明したが、D A 変換回路 1 2 1 ~ 1 2 4 の薄膜トランジスタの並列数を増加させるかあるいは D A 変換素子の階調数を増やすことで 6 ビットや 8 ビットなどのより多くの階調を表示することができる。

## 【 0 0 8 0 】

次に、駆動回路 1 0 2 の第 2 実施形態を図 16 にしたがって説明する。本実施形態における駆動回路 1 0 2 は、前記実施形態における D A 変換回路 1 2 1、1 2 2、1 2 3、1 2 4 の代わりに、D A 変換回路 1 4 1、1 4 2、1 4 3、1 4 4、可変抵抗回路 1 4 5、1 4 6、1 4 7、1 4 8 を設けたものであり、サンプ

リング回路125は同一のもので構成されている。DA変換回路141、142は負側（低圧側）デジタル・アナログ変換回路として制御回路151、152、複数のnチャネル薄膜トランジスタ161、162を備えて構成されており、基準電圧が異なる他は、図7に示すDA変換回路41、42と同一の機能を備えて構成されている。すなわち制御回路151、152には4ビットの表示画像の階調信号D1[3:2]が入力されており、各薄膜トランジスタ161、162にはそれぞれ負側（低圧側）基準電圧VL0、VL1、VL2、VL3またはVL1、VL2、VL3、VL4が印加されている。そして各薄膜トランジスタ161、162の出力側が互いに共通に接続されて可変抵抗回路145、146にそれぞれ接続されている。可変抵抗回路145、146は負側（低圧側）可変抵抗回路として、制御回路155、156、複数のnチャネル薄膜トランジスタ165、166を備えて構成されており、各可変抵抗回路145、146に基準電圧として負側（低圧側）のものが印加される他は、図7に示す可変抵抗回路53、54と同一の機能を備えて構成されている。すなわち、制御回路155、156には4ビットの画像信号の階調信号D1[1:0]が入力されており、出力端子a、dに接続される薄膜トランジスタ165、166の導通時における抵抗値はR3に、出力端子b、eに接続される薄膜トランジスタ165、166の導通時における抵抗値はR2に、出力端子c、fに接続される薄膜トランジスタ165、166の導通時における抵抗値はR1に設定されている。そして各薄膜トランジスタ165、166はそれぞれ共通に接続され、可変抵抗回路145、146の出力側はそれぞれ出力端子T1、T2にそれぞれ接続されている。

#### 【0081】

一方、DA変換回路163、164は正側（高圧側）デジタル・アナログ変換回路として、制御回路153、154、複数のpチャネル薄膜トランジスタ163、164を備えて構成されており、DA変換回路141、142とは、印加される基準電圧のレベルと薄膜トランジスタのチャネルが異なる他はDA変換回路141、142と同一の機能を備えて構成されている。すなわち、制御回路153、154には4ビットの表示画像の階調信号D2[3:2]が入力されており、各薄膜トランジスタ163、164がそれぞれ基準電圧VH0、VH1、VH3



、VH3またはVH1、VH2、VH3、VH4にそれぞれ接続され、出力側が互いに共通に接続されて可変抵抗回路147、148にそれぞれ接続されている。

#### 【0082】

可変抵抗回路147、148は正側（高圧側）可変抵抗回路として、制御回路157、158、複数のpチャネル薄膜トランジスタ167、168を備えて構成されており、可変抵抗回路145、146とは印加される基準電圧のレベルが異なる他は同一の機能のもので構成されている。すなわち、制御回路157、158には4ビットの表示画像の階調信号D2[1:0]が入力されており、各薄膜トランジスタ167、168が互いに並列に接続され、この接続点が出力端子t1またはt2にそれぞれ接続されている。そして制御回路157、158の出力端子a、dに接続される薄膜トランジスタ167、168の導通時における抵抗値はR3に、出力端子b、eに接続される薄膜トランジスタ167、168の導通時における抵抗値はR2に、出力端子c、fに接続される薄膜トランジスタ167、168の導通時における抵抗値はR1に設定されている。

#### 【0083】

上記構成において、あるフレーム期間において、図14の（a）示すように、D1[3:0]、D2[3:0]の階調信号#1～#6が発生し、出力端子Sn1、Sn3、Sn5、Sp2、Sp4、Sp6からそれぞれ“1”の信号が順次出力されると、奇数番目の信号線SL1、SL3、SL5には図15の（b）に示すように、低い電圧側の16段階のアナログ電圧が発生し、偶数番目の信号線SL2、SL4、SL6には図15の（a）に示すように、高い電圧側の16段階のアナログ電圧が発生する。

#### 【0084】

次に、次のフレーム期間で図14の（b）に示すような階調信号が入力され、出力端子Sn2、Sn4、Sn6、Sp1、Sp3、Sp5からそれぞれ“1”の信号が出力されると、奇数番目の信号線SL1、SL3、SL5には図15の（a）に示すように、高い電圧側の16段階の電圧が階調に応じて発生する。一方、偶数番目の信号線SL2、SL4、SL6には図15の（b）に示すように

、低い電圧側の16段階の電圧が階調に応じて発生する。

#### 【0085】

このように、各フレームごとに図14の(a)、(b)に示す動作を繰り返すことで、階調信号が0のときには最大振幅で、階調信号が15のときには、最小振幅になるアナログ電圧であって、階調にしたがった16段階の振幅の交流電圧が各信号線に順次印加され、この交流電圧によって液晶が駆動されることになる。

#### 【0086】

本実施形態によれば、各信号線SL1～SL6とサンプリング回路125との接続点を分圧点として、各信号線SL1～SL6に各基準電圧または各基準電圧を分圧した電圧を印加するようにしているため、基準電圧・信号線間の抵抗を増加させずに、基準電圧・基準電圧間の抵抗を増加させることができるとともに、基準電圧間の電流を小さくすることができ、高解像度や高速フレームレートの画像表示装置（液晶表示装置）でも画像表示装置の消費電力を小さくすることができる。

#### 【0087】

次に、駆動回路102の第3実施形態を図17にしたがって説明する。本実施形態における駆動回路102は、駆動回路102を可変抵抗回路145、146、147、148、サンプリング回路125で構成し、駆動回路102の外部にDA変換回路141、142、143、144に相当するDA変換素子171～174、アンプ素子175～178を設けたものであり、他の構成は図16に示すものと同様である。

#### 【0088】

DA変換素子171、172、アンプ素子175、176は負側（低圧側）デジタル・アナログ変換回路として、図10に示すDA変換素子61、62、アンプ素子63、64と同一の機能を備えて構成されている。すなわち、DA変換素子171、172の入力端子INには4ビットの表示画像の階調信号D1[3:2]が入力されており、各DA変換素子171、172からは、図18に示すように4ビットの表示画像の階調信号のうち上位2ビットの階調信号D1[3:2]

に応答して出力端子 A o u t から階調に応じて、負側（低圧側）の基準電圧 V L 0、V L 1、V L 2、V L 3、V L 4 をそれぞれアンプ素子 1 7 5、1 7 6 を介して可変抵抗回路 1 4 5、1 4 6 に出力するようになっている。

## 【 0 0 8 9 】

一方、D A 変換素子 1 7 3、1 7 4、アンプ素子 1 7 7、1 7 8 は正側（高圧側）デジタル・アナログ変換回路として、図 1 0 に示す D A 変換素子 6 1、6 2、アンプ素子 6 3、6 4 と同一の機能を備えて構成されている。すなわち、各 D A 変換素子 1 7 3、1 7 4 の入力端子 I N に 4 ビットの表示画像の階調信号のうち上位 2 ビットの階調信号 D 2 [ 3 : 2 ] が入力されたときに、出力端子 A o u t から階調に応じて正側（高圧側）の基準電圧 V H 0、V H 1、V H 2、V H 3、V H 4 を可変抵抗回路 1 4 7、1 4 8 にそれぞれ出力するようになっている。

## 【 0 0 9 0 】

上記構成において、あるフレーム期間において、図 1 4 の（a）示すように、D 1 [ 3 : 0 ]、D 2 [ 3 : 0 ] の階調信号 # 1 ~ # 6 が発生し、出力端子 S n 1、S n 3、S n 5、S p 2、S p 4、S p 6 からそれぞれ“1”の信号が順次出力されると、奇数番目の信号線 S L 1、S L 3、S L 5 には図 1 5 の（b）に示すように、低い電圧側の 1 6 段階のアナログ電圧が発生し、偶数番目の信号線 S L 2、S L 4、S L 6 には図 1 5 の（a）に示すように、高い電圧側の 1 6 段階のアナログ電圧が発生する。

## 【 0 0 9 1 】

次に、次のフレーム期間で図 1 4 の（b）に示すような階調信号が入力され、出力端子 S n 2、S n 4、S n 6、S p 1、S p 3、S p 5 からそれぞれ“1”の信号が出力されると、奇数番目の信号線 S L 1、S L 3、S L 5 には図 1 5 の（a）に示すように、高い電圧側の 1 6 段階の電圧が階調に応じて発生する。一方、偶数番目の信号線 S L 2、S L 4、S L 6 には図 1 5 の（b）に示すように、低い電圧側の 1 6 段階の電圧が階調に応じて発生する。

## 【 0 0 9 2 】

このように、各フレームごとに図 1 4 の（a）、（b）に示す動作を繰り返すことで、階調信号が 0 のときには最大振幅で、階調信号が 1 5 のときには、最小

振幅になるアナログ電圧であって、階調にしたがった16段階の振幅の交流電圧が各信号線に順次印加され、この交流電圧によって液晶が駆動されることになる。

#### 【0093】

本実施形態によれば、各信号線SL1～SL6とサンプリング回路125との接続点を分圧点として、各信号線SL1～SL6に各基準電圧または各基準電圧を分圧した電圧を印加するようにしているため、基準電圧・信号線間の抵抗を増加させずに、基準電圧・基準電圧間の抵抗を増加させることができるとともに、基準電圧間の電流を小さくすることができ、高解像度や高速フレームレートの画像表示装置（液晶表示装置）でも画像表示装置の消費電力を小さくすることができる。

#### 【0094】

##### 【発明の効果】

以上説明したように、本発明によれば、基準電圧・信号線間の抵抗を増加させずに、基準電圧・基準電圧間の抵抗を増加させることができるとともに、基準電圧間の電流を小さくすることができ、消費電力を小さくすることが可能になる。また、基準電圧間の電流を小さくできる駆動回路を高解像度や高速フレームレートの画像表示装置に搭載しても、画像表示装置の消費電力を小さくすることができる。

##### 【図面の簡単な説明】

#### 【図1】

本発明に係る画像表示装置の第1実施形態を示すブロック構成図である。

#### 【図2】

本発明に係る駆動回路の第1実施形態を示す回路構成図である。

#### 【図3】

(a)、(b)は制御回路の論理構成を説明するための図である。

#### 【図4】

駆動回路の等価回路を説明するための図である。

#### 【図5】

制御回路の動作を説明するための波形図である。

【図 6】

階調信号と信号線に発生する電圧との関係を説明するための図である。

【図 7】

本発明に係る駆動回路の第 2 実施形態を示す回路構成図である。

【図 8】

(a)、(b)、(c) は制御回路の論理構成を説明するための図である。

【図 9】

駆動回路の等価回路を説明するための図である。

【図 1 0】

本発明に係る駆動回路の第 3 実施形態を示す回路構成図である。

【図 1 1】

D A 変換素子の入力電圧と出力電圧との関係を説明するための図である。

【図 1 2】

本発明に係る画像表示装置の第 2 実施形態を示すブロック構成図である。

【図 1 3】

本発明に係る駆動回路の第 4 実施形態を示す回路構成図である。

【図 1 4】

(a)、(b) は駆動回路のフレーム周期における動作を説明するためのタイムチャートである。

【図 1 5】

駆動回路に入力される階調信号と信号線に発生する電圧との関係を説明するための図である。

【図 1 6】

本発明に係る駆動回路の第 5 実施形態を示す回路構成図である。

【図 1 7】

本発明に係る駆動回路の第 6 実施形態を示す回路構成図である。

【図 1 8】

D A 変換素子の入力電圧と出力電圧との関係を説明するための図である。

【符号の説明】

- 1 絶縁基板
- 2 駆動回路
- 3 走査回路
- 4 信号線
- 5 走査配線
- 6 薄膜トランジスタ
- 7 容量
- 8 電圧－電流変換回路
- 9 発光素子
- 2 1、2 2 D A変換回路
- 2 3 サンプリング回路
- 2 4、2 5 制御回路
- 2 6、2 7 薄膜トランジスタ
- 2 8 制御回路
- 4 1、4 2 D A変換回路
- 4 6、4 7、4 8、4 9 制御回路
- 5 1、5 2、5 3、5 4 薄膜トランジスタ
- 6 1、6 2 D A変換素子
- 1 0 1 絶縁板
- 1 0 2 駆動回路
- 1 0 3 走査回路
- 1 0 4 信号線
- 1 0 5 信号配線
- 1 0 6 薄膜トランジスタ
- 1 0 7 容量
- 1 0 8 表示電極
- 1 2 1、1 2 2、1 2 3、1 2 4 D A変換回路
- 1 2 5 サンプリング回路

126、127、128、129 制御回路

131、132、134、135、136、137 薄膜トランジスタ

138、139 制御回路

141、142、143、144 DA変換回路

145、146、147、148 可変抵抗回路

151、152、153、154、155、156、157、158 制御回路

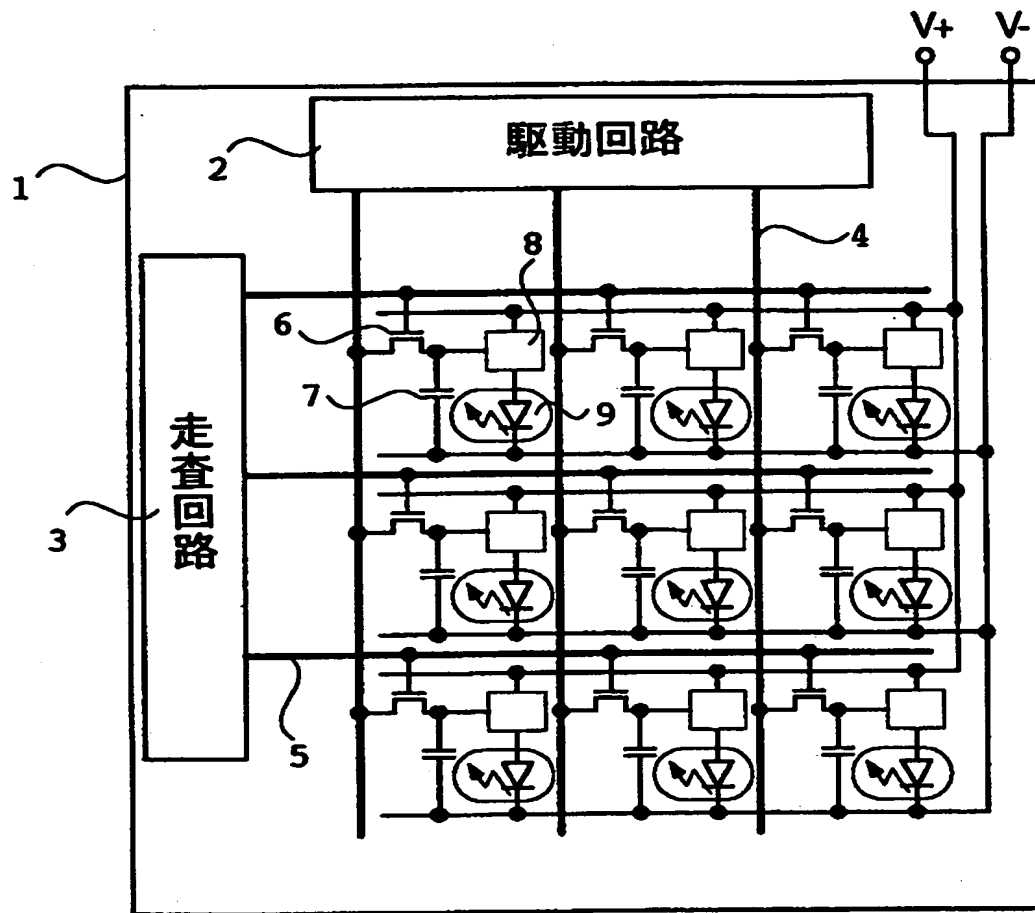
161、162、163、164、165、166、167、168 薄膜トランジスタ

171、172、173、174 DA変換素子

SL1～SL6 信号線

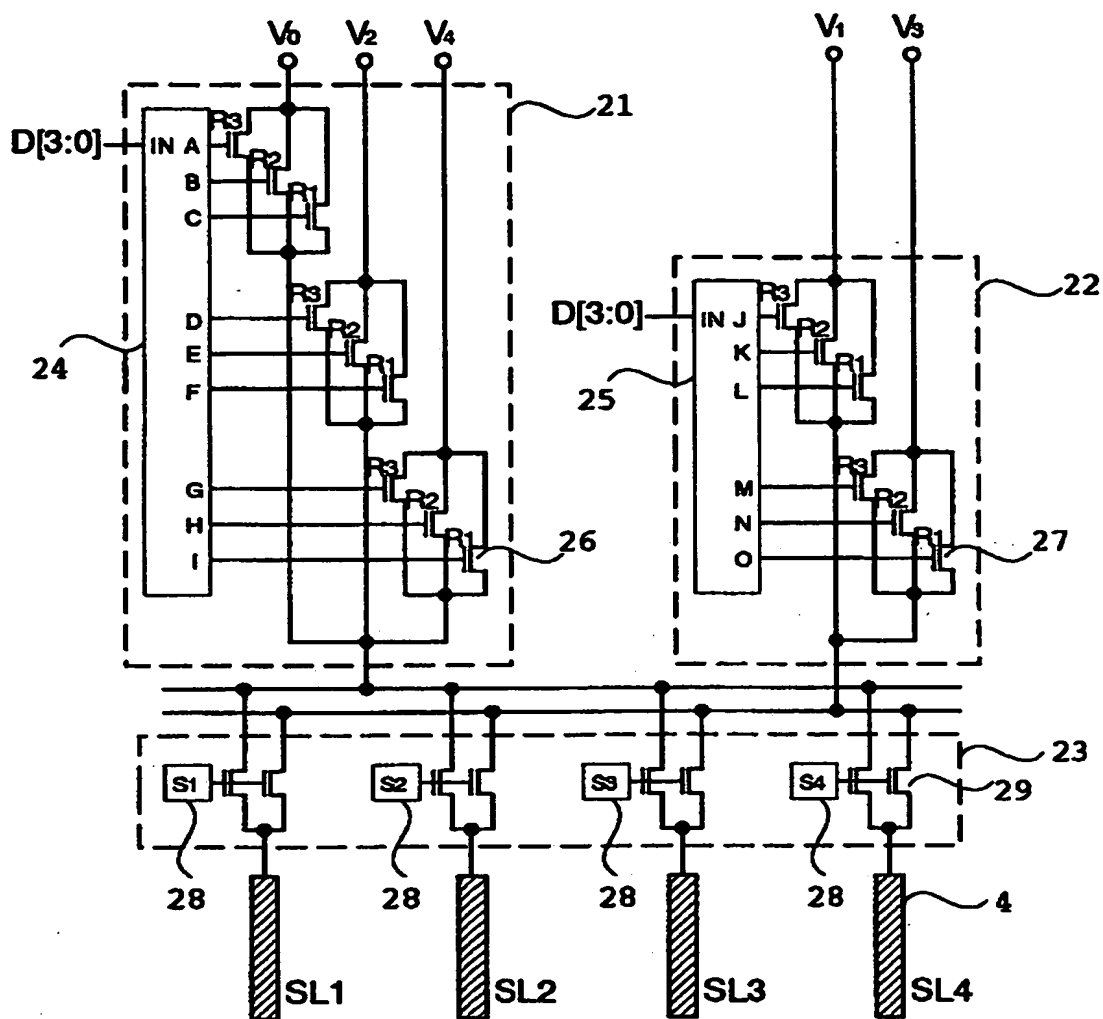
【書類名】 図面

【図 1】





【図2】



21,22:DA変換回路      26,27,29:薄膜トランジエスタ  
 23:サンプリング回路      SL1~SL4:信号線  
 24,25,28:制御回路

【図 3】

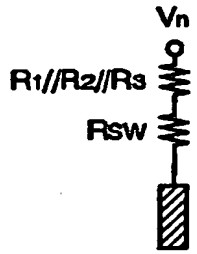
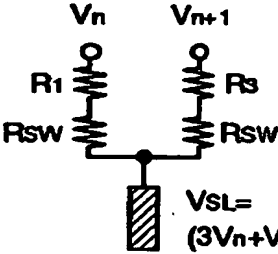
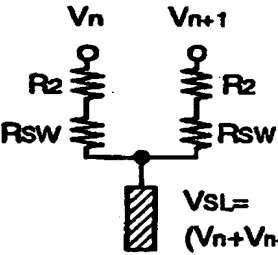
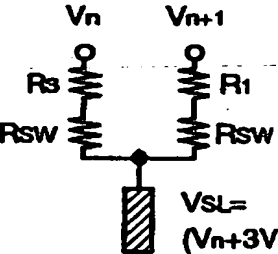
(a)

IN	A	B	C	D	E	F	G	H	I
0	1	1	1	0	0	0	0	0	0
1	0	0	1	0	0	0	0	0	0
2	0	1	0	0	0	0	0	0	0
3	1	0	0	0	0	0	0	0	0
4	0	0	0	0	0	0	0	0	0
5	0	0	0	1	1	0	0	0	0
6	0	0	0	0	0	0	0	0	0
7	0	0	0	0	0	1	0	0	0
8	0	0	0	1	1	1	0	0	0
9	0	0	0	0	0	1	0	0	0
10	0	0	0	0	0	0	0	0	0
11	0	0	0	1	1	0	0	0	0
12	0	0	0	0	0	0	0	0	0
13	0	0	0	0	0	0	1	0	0
14	0	0	0	0	0	0	0	1	0
15	0	0	0	0	0	0	0	0	1

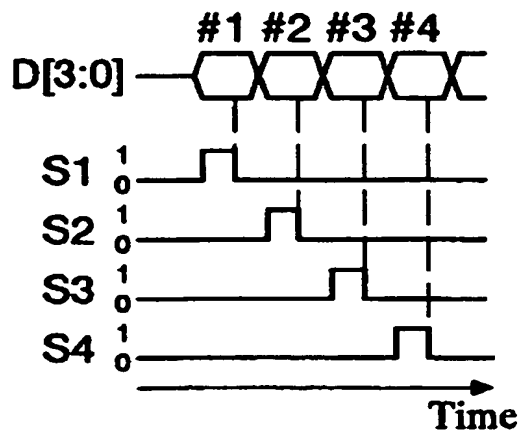
(b)

IN	J	K	L	M	N	O
0	0	0	0	0	0	0
1	1	0	0	0	0	0
2	0	1	0	0	0	0
3	0	0	1	0	0	0
4	1	1	1	0	0	0
5	0	0	1	0	0	0
6	0	1	0	0	0	0
7	1	0	0	0	0	0
8	0	0	0	0	0	0
9	0	0	0	1	0	0
10	0	0	0	0	1	0
11	0	0	0	0	0	1
12	0	0	0	1	1	1
13	0	0	0	0	0	1
14	0	0	0	0	1	0
15	0	0	0	1	0	0

【図 4】

IN	VSL の発生方法
0	
1	 $V_{SL} = (3V_n + V_{n+1})/4$
2	 $V_{SL} = (V_n + V_{n+1})/2$
3	 $V_{SL} = (V_n + 3V_{n+1})/4$

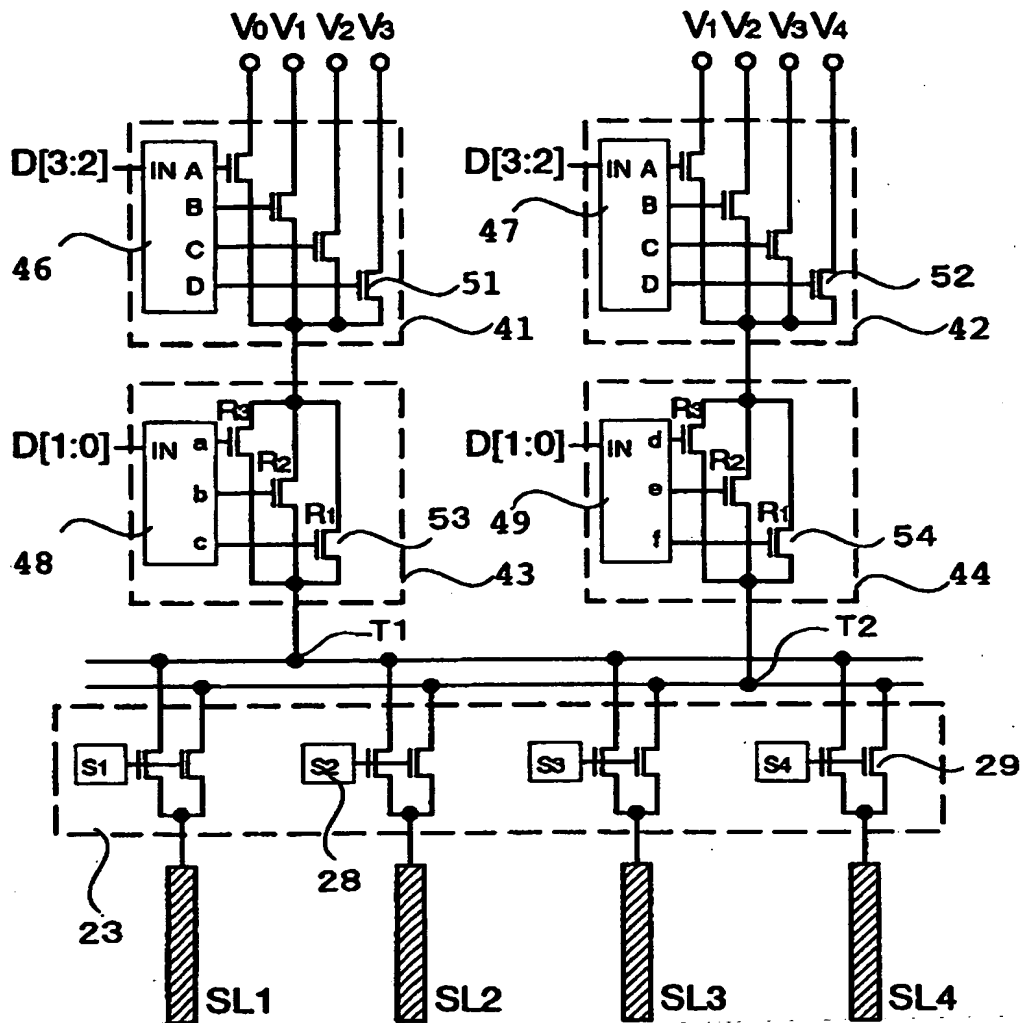
【図 5】



【図 6】

D[3:0]	$V_{SL}$
0	$V_0$
1	$(3V_0 + V_1) / 4$
2	$(V_0 + V_1) / 2$
3	$(V_0 + 3V_1) / 4$
4	$V_1$
5	$(3V_1 + V_2) / 4$
6	$(V_1 + V_2) / 2$
7	$(V_1 + 3V_2) / 4$
8	$V_2$
9	$(3V_2 + V_3) / 4$
10	$(V_2 + V_3) / 2$
11	$(V_2 + 3V_3) / 4$
12	$V_3$
13	$(3V_3 + V_4) / 4$
14	$(V_3 + V_4) / 2$
15	$(V_3 + 3V_4) / 4$

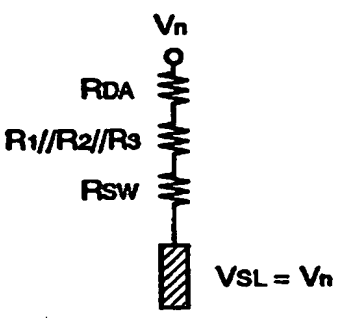
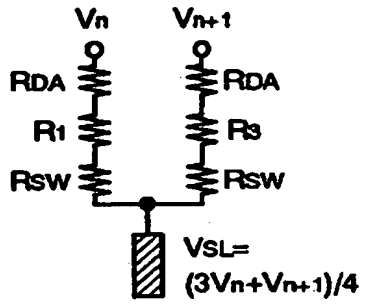
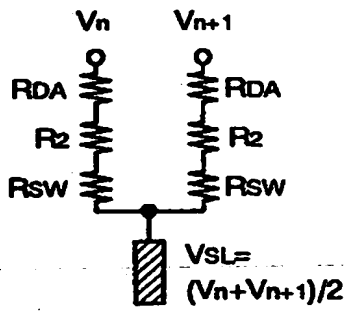
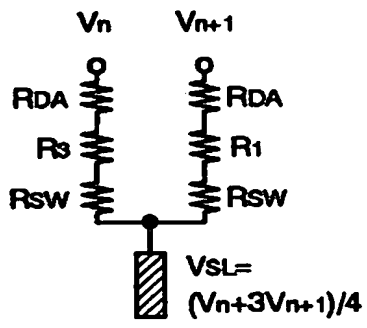
【図 7】



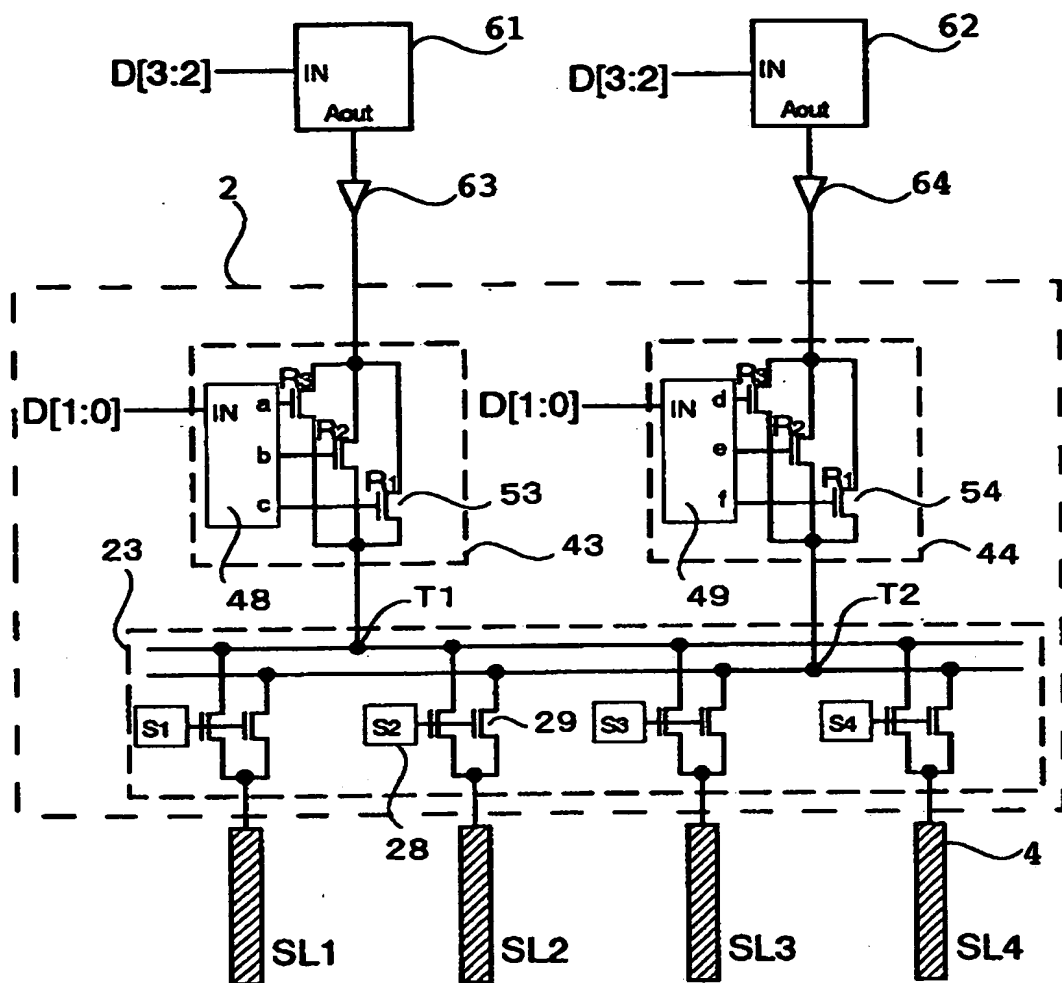
【図 8】

(a)					(b)				(c)			
IN	A	B	C	D	IN	a	b	c	IN	d	e	f
0	1	0	0	0	0	1	1	1	0	0	0	0
1	0	1	0	0	1	0	0	1	1	1	0	0
2	0	0	1	0	2	0	1	0	2	0	1	0
3	0	0	0	1	3	1	0	0	3	0	0	1

【図 9】

IN	VSL の発生方法
0	 <p><math>VSL = V_n</math></p>
1	 <p><math>VSL = (3V_n + V_{n+1})/4</math></p>
2	 <p><math>VSL = (V_n + V_{n+1})/2</math></p>
3	 <p><math>VSL = (V_n + 3V_{n+1})/4</math></p>

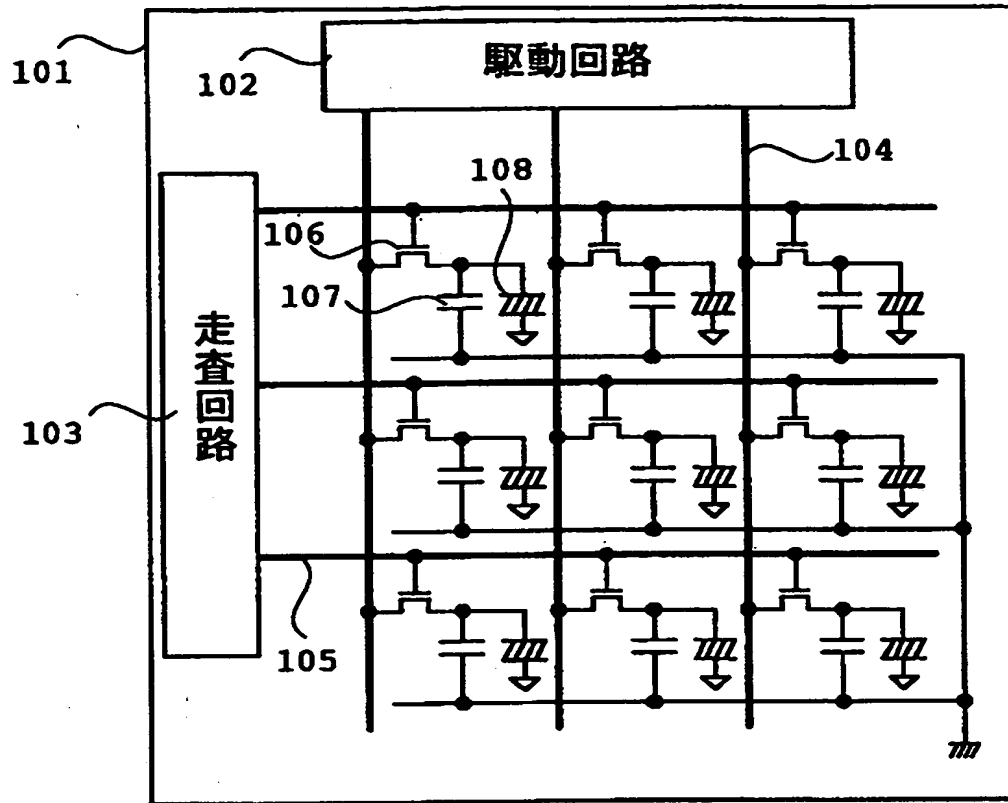
【図 10】



【図 1 1】

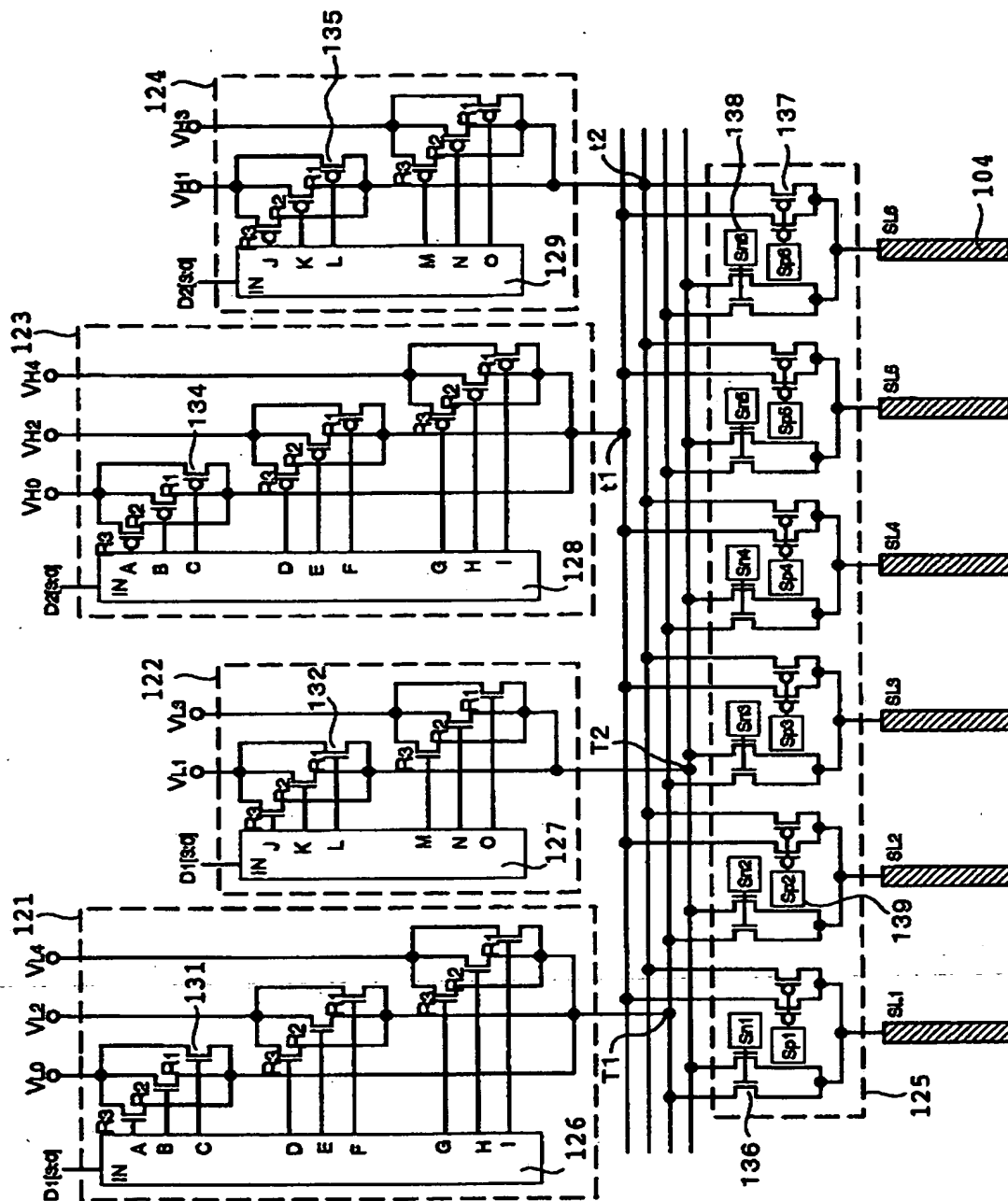
IN	61 Aout	62 Aout
0	V0	V1
1	V1	V2
2	V2	V3
3	V3	V4

【図 1 2】

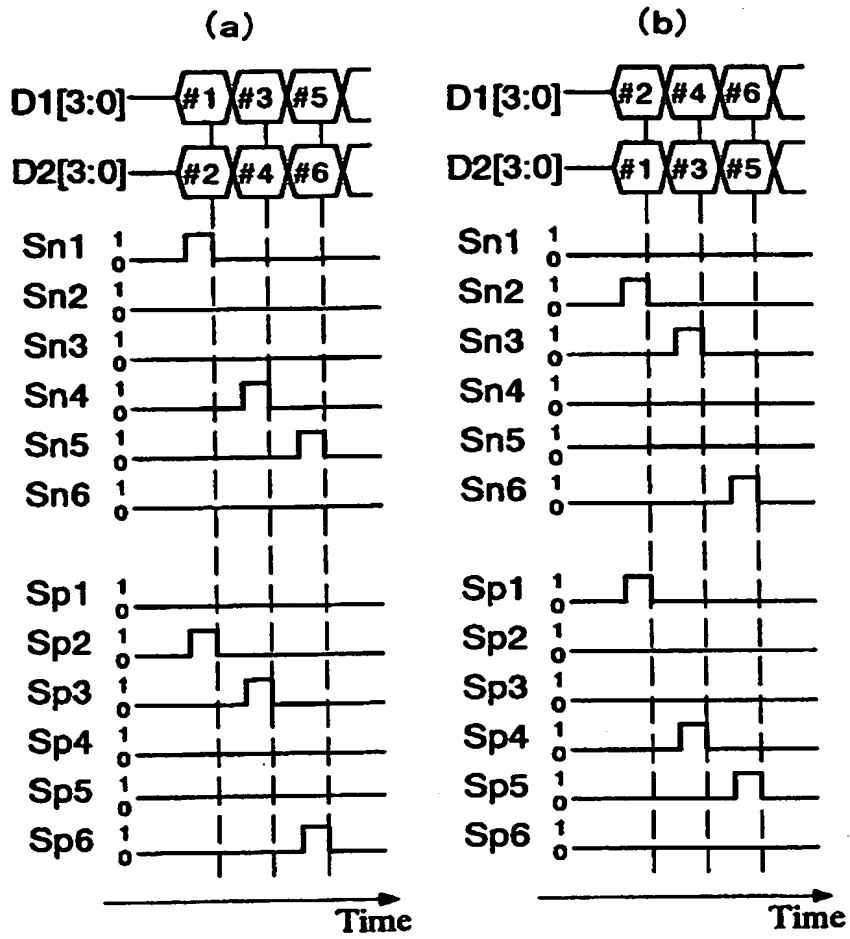




【図 13】



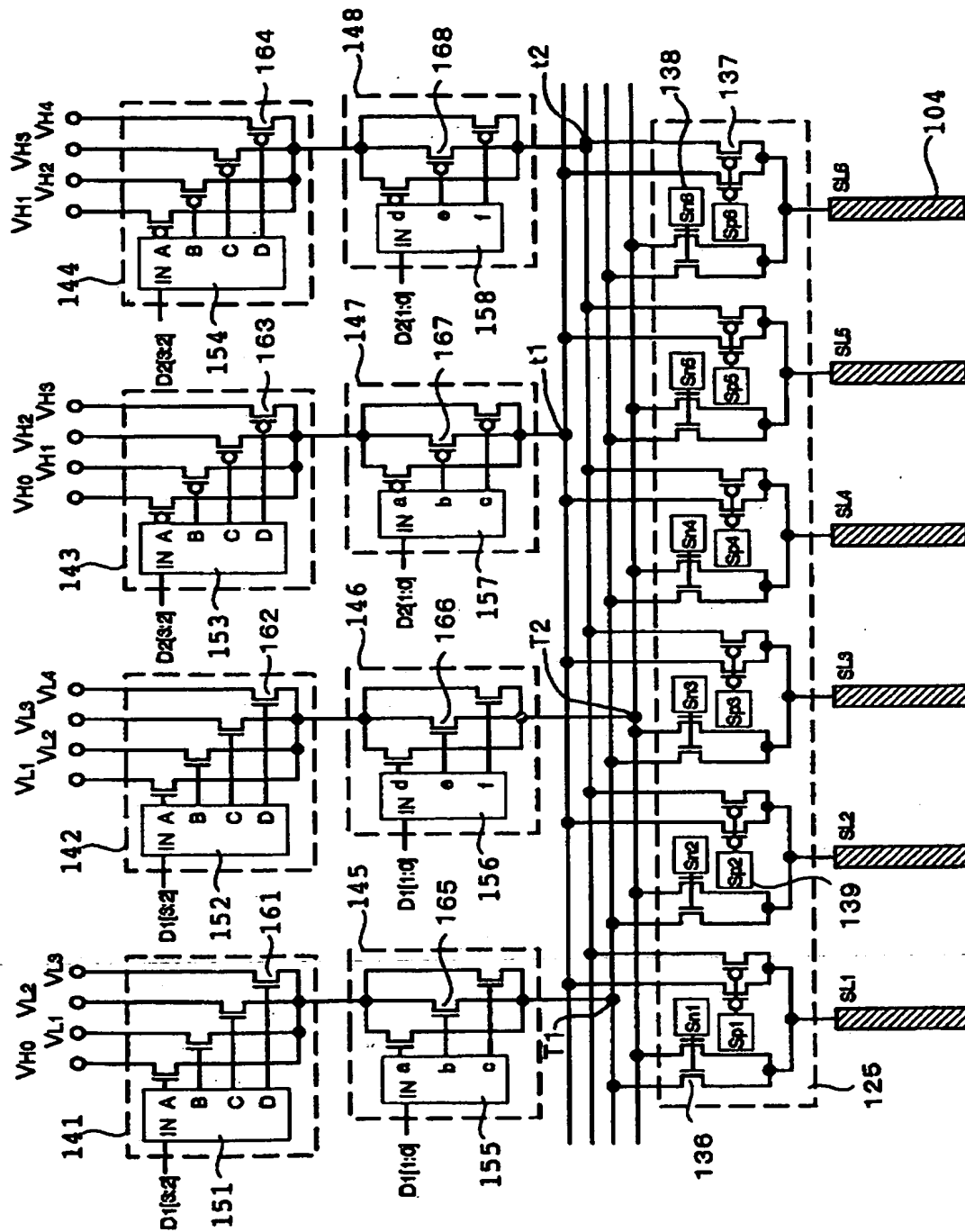
【図 1 4】



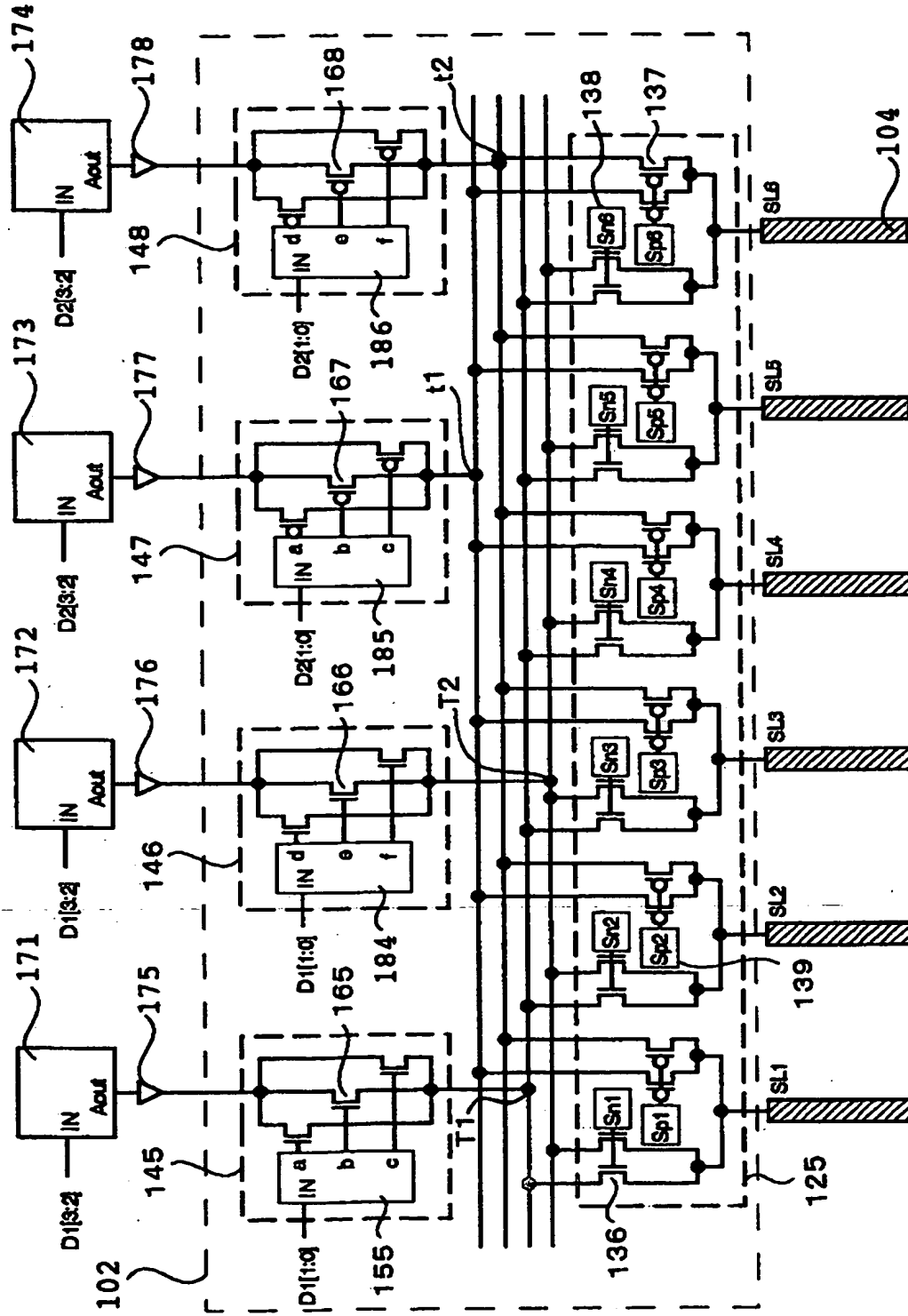
【図15】

D[3:0]	(a)	(b)
0	$V_{H0}$	$V_{L0}$
1	$(3V_{H0} + V_{H1}) / 4$	$(3V_{L0} + V_{L1}) / 4$
2	$(V_{H0} + V_{H1}) / 2$	$(V_{L0} + V_{L1}) / 2$
3	$(V_{H0} + 3V_{H1}) / 4$	$(V_{L0} + 3V_{L1}) / 4$
4	$V_{H1}$	$V_{L1}$
5	$(3V_{H1} + V_{H2}) / 4$	$(3V_{L1} + V_{L2}) / 4$
6	$(V_{H1} + V_{H2}) / 2$	$(V_{L1} + V_{L2}) / 2$
7	$(V_{H1} + 3V_{H2}) / 4$	$(V_{L1} + 3V_{L2}) / 4$
8	$V_{H2}$	$V_{L2}$
9	$(3V_{H2} + V_{H3}) / 4$	$(3V_{L2} + V_{L3}) / 4$
10	$(V_{H2} + V_{H3}) / 2$	$(V_{L2} + V_{L3}) / 2$
11	$(V_{H2} + 3V_{H3}) / 4$	$(V_{L2} + 3V_{L3}) / 4$
12	$V_{H3}$	$V_{L3}$
13	$(3V_{H3} + V_{H4}) / 4$	$(3V_{L3} + V_{L4}) / 4$
14	$(V_{H3} + V_{H4}) / 2$	$(V_{L3} + V_{L4}) / 2$
15	$(V_{H3} + 3V_{H4}) / 4$	$(V_{L3} + 3V_{L4}) / 4$

【図16】



【図 17】



【図 1 8】

IN	171About	172About	173About	174About
0	VL0	VL1	VH0	VH1
1	VL1	VL2	VH1	VH2
2	VL2	VL3	VH2	VH3
3	VL3	VL4	VH3	VH4

【書類名】 要約書

【要約】

【課題】 基準電圧・信号線間の抵抗を増加させずに、基準電圧・基準電圧間の抵抗を増加させること。

【解決手段】 制御回路 2 4、2 5 に入力された階調信号で指定された薄膜トランジスタ 2 6、2 7 を導通させ、基準電圧  $V_0$ 、 $V_2$ 、 $V_4$  のうちいずれかの基準電圧と出力端子  $T_1$  との間または基準電圧  $V_1$ 、 $V_3$  のうちいずれかの基準電圧と出力端子  $T_2$  との間に、オンとなったトランジスタの導通時における抵抗値を示す抵抗体を挿入し、且つ階調信号に同期してサンプリング回路 2 3 の一組の薄膜トランジスタ 2 9 を同時に導通させ、信号線  $SL_1$  の選択時には、サンプリング回路 2 3 と信号線  $SL_1$  との接続点を分圧点として、 $V_0$ 、 $V_2$ 、 $V_4$  のいずれかまたは  $V_1$ 、 $V_3$  のいずれかの基準電圧あるいは  $V_0$ 、 $V_2$ 、 $V_4$  のいずれかと  $V_1$ 、 $V_3$  のいずれかの基準電圧をオンになった薄膜トランジスタの導通時の抵抗値で分圧した電圧を信号線  $SL_1$  に印加する。

【選択図】 図 2

出 願 人 履 歴 情 報

識別番号 [000005108]

1. 変更年月日 1990年 8月31日

[変更理由] 新規登録

住 所 東京都千代田区神田駿河台4丁目6番地  
氏 名 株式会社日立製作所